

日本国特許庁  
JAPAN PATENT OFFICE

H. Sekine  
9/8/03  
Φ75815  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 9月 9日

出願番号

Application Number: 特願2002-263424

[ ST.10/C ]:

[ J P 2002-263424 ]

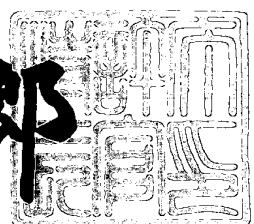
出願人

Applicant(s): 日本電気株式会社

2003年 5月20日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3037430

【書類名】 特許願  
【整理番号】 76110427  
【提出日】 平成14年 9月 9日  
【あて先】 特許庁長官  
【国際特許分類】 G09G 03/18  
【発明者】  
【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内  
【氏名】 関根 裕之  
【特許出願人】  
【識別番号】 000004237  
【氏名又は名称】 日本電気株式会社  
【代理人】  
【識別番号】 100099830  
【弁理士】  
【氏名又は名称】 西村 征生  
【電話番号】 048-825-8201  
【手数料の表示】  
【予納台帳番号】 038106  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9407736  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置及びその駆動方法並びに液晶プロジェクタ装置

【特許請求の範囲】

【請求項1】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの前記映像信号の各々を各別の前記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、M×P本（Pは自然数）の映像信号配線とで構成され、

M×P本の前記映像信号配線は、水平期間毎に、当該水平期間内の最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までのM×N個の前記映像信号のうちの時系列上でそれぞれ異なる期間のM個の前記映像信号を1つの組とし、P個の前記組毎に順次に、かつ、P個の前記組のうちの組毎に順次であって当該組内ではM個の前記映像信号を同時に供給して来る映像信号配線であり、

M×P本の前記映像信号配線のうちの第i組（i=1, 2, …, Pのうちの1つ）のM本の前記映像信号配線の各々は、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでのP組の前記スイッチブロック毎に、最初の前記スイッチブロックから見て第i番目の前記スイッチブロックのうちのM個の前記スイッチ素子の入力端子の各々に各別に接続され、

前記データ線は、M本毎のブロックに分割され、該各ブロックのM本の前記データ線の各々は、最初の前記ブロックから最後の前記ブロックまで、ブロック単位で、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでの前記各スイッチブロック内のM個の前記スイッチ素子

の出力端子の各々に各別に接続されて構成される液晶表示装置において、

前記走査回路は、任意の水平期間において、 $M \times P$ 本の前記映像信号配線を経て $P$ 個の前記組毎に順次に、かつ、 $P$ 個の前記組のうちの組毎に順次であって当該組内では同時に供給されて来た $M$ 個の前記映像信号に同期して前記開閉制御信号を出力し、

$P$ 個の前記組毎に順次に、かつ、 $P$ 個の前記組のうちの組毎に順次であって当該組内では同時に供給されて来た $M$ 個の前記映像信号の各々は、前記開閉制御信号によって同時に導通状態にされた前記スイッチブロックの $M$ 個の前記スイッチ素子の各々において、 $M$ 個の前記スイッチ素子の各々に接続された $M$ 本の前記データ線の各々へ各別にサンプリングされ、

各別にサンプリングされた $M$ 個の前記映像信号の各々は、前記任意の水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され同時に導通させられた $M$ 個の前記画素トランジスタの組毎に当該組の $M$ 個の前記画素トランジスタを経て通過され、同時に導通させられた $M$ 個の前記画素トランジスタの各々を各別に含む前記組の $M$ 個の画素の各々に各別に書き込まれる液晶表示装置の駆動方法であって、

前記走査回路から供給された前記開閉制御信号によって先に同時に導通状態にされた前記スイッチブロックの $M$ 個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、前記走査回路から供給された前記開閉制御信号によって先に同時に導通状態にされた前記スイッチブロックの $M$ 個の前記スイッチ素子の各々に続いて $M$ 個のスイッチ素子が同時に導通状態にされるべき前記スイッチブロックに前記走査回路から前記開閉制御信号が供給され、

前記 $P$ 組の組毎の $M$ 本の前記映像信号配線から供給される $M$ 個の前記映像信号の各々は、前記第1の期間と前記第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号であることを特徴とする液晶表示装置の駆動方法。

【請求項2】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画

素期間対応の映像信号から最後の画素期間対応の映像信号までの映像信号の各々を各別の前記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、2M本の映像信号配線とで構成され、

2M本の前記映像信号配線は、水平期間毎に、当該水平期間内の最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までのM×N個の前記映像信号のうちの時系列上でそれぞれ異なる期間のM個の前記映像信号を1つの組とし、2個の前記組毎に順次に、かつ、2個の前記組のうちの組毎に順次であって当該組内ではM個の前記映像信号を同時に供給して来る映像信号配線であり、

2M本の前記映像信号配線のうちの第i組（i=1、2のうちの1つ）のM本の前記映像信号配線の各々は、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでの2組の前記スイッチブロック毎に、最初の前記スイッチブロックから見て第i番目の前記スイッチブロックのうちのM個の前記スイッチ素子の入力端子の各々に各別に接続され、

前記データ線は、M本毎のブロックに分割され、該各ブロックのM本の前記データ線の各々は、最初の前記ブロックから最後の前記ブロックまで、ブロック単位で、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでの前記各スイッチブロック内のM個の前記スイッチ素子の出力端子の各々に各別に接続されて構成される液晶表示装置において、

前記走査回路は、任意の水平期間において、2M本の前記映像信号配線を経て2個の前記組毎に順次に、かつ、2個の前記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の前記映像信号に同期して前記開閉制御信号を出力し、

2個の前記組毎に順次に、かつ、2個の前記組のうちの組毎に順次であって当

該組内では同時に供給されて来たM個の前記映像信号の各々は、前記開閉制御信号によって同時に導通状態にされた前記スイッチブロックのM個の前記スイッチ素子の各々において、同時に導通状態にされたM個の前記スイッチ素子の各々に接続されたM本の前記データ線の各々へ各別にサンプリングされ、

各別にサンプリングされたM個の映像信号の各々は、前記任意の水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され同時に導通させられたM個の前記画素トランジスタの各々の組毎に該組のM個の前記画素トランジスタの各々を経て通過され、同時に導通させられたM個の前記画素トランジスタの各々を各別に含む前記組のM個の画素の各々に各別に書き込まれる液晶表示装置の駆動方法であって、

前記走査回路から供給された前記開閉制御信号によって先に同時に導通状態にされた前記スイッチブロックのM個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、前記走査回路から供給された前記開閉制御信号によって先に同時に導通状態にされた前記スイッチブロックのM個の前記スイッチ素子の各々に続いてM個の前記スイッチ素子が同時に導通状態にされるべき前記スイッチブロックに前記走査回路から前記開閉制御信号が供給され、

前記2組の組毎のM本の前記映像信号配線から供給されるM個の前記映像信号の各々は、前記第1の期間と前記第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号であることを特徴とする液晶表示装置の駆動方法。

**【請求項3】** 前記第1の期間と前記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、前記走査回路から供給された前記開閉制御信号に先に同時に導通状態になった前記スイッチブロックのスイッチ素子の各々が前記導通状態から非導通状態へ同時に遷移する時刻より予め決められた時間だけ前の時刻であることを特徴とする請求項1又は2記載の液晶表示装置の駆動方法。

**【請求項4】** 前記第1の期間と前記第2の期間との割合は、前記全データ線上の映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴とする請求項1、2又は3記載の液晶表示装置の駆動方法。

【請求項5】 前記第1の期間は、前記導通期間の前半半分以下の期間で、前記第2の期間は、前記前半半分以下の期間後の残りの期間であることを特徴とする請求項1、2、3又は4記載の液晶表示装置の駆動方法。

【請求項6】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの前記映像信号の各々を各別の前記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、M×P本の映像信号配線とで構成され、

M×P本の前記映像信号配線は、水平期間毎に、当該水平期間内の最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までのM×N個の前記映像信号のうちの時系列上でそれぞれ異なる期間のM個の前記映像信号を1つの組とし、P個の前記組毎に順次に、かつ、P個の前記組のうちの組毎に順次であって当該組内ではM個の前記映像信号を同時に供給して来る映像信号配線であり、

M×P本の前記映像信号配線のうちの第i組（i=1、2、…、Pのうちの1つ）のM本の前記映像信号配線の各々は、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでのP組の前記スイッチブロック毎に、最初の前記スイッチブロックから見て第i番目の前記スイッチブロックのうちのM個の前記スイッチ素子の入力端子の各々に各別に接続され、

前記データ線は、M本毎のブロックに分割され、該各ブロックのM本の前記データ線の各々は、最初の前記ブロックから最後の前記ブロックまで、ブロック単位で、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでの前記各スイッチブロック内のM個の前記スイッチ素子

の出力端子の各々に各別に接続され、

前記走査回路は、任意の水平期間において、 $M \times P$  本の前記映像信号配線を経て  $P$  個の前記組毎に順次に、かつ、 $P$  個の前記組のうちの組毎に順次であって当該組内では同時に供給されて来た  $M$  個の前記映像信号に同期して前記開閉制御信号を出力し、

前記開閉制御信号によって同時に導通状態にされた前記スイッチブロックの  $M$  個の前記スイッチ素子の各々は、 $P$  個の前記組毎に順次に、かつ、 $P$  個の前記組のうちの組毎に順次であって当該組内では同時に供給されて来た  $M$  個の前記映像信号を前記開閉制御信号によって同時に導通状態にされた  $M$  個の前記スイッチ素子の各々に接続された  $M$  本の前記データ線の各々へ各別にサンプリングし、

前記任意の水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され同時に導通させられた  $M$  個の前記画素トランジスタの各々の組毎に当該組の同時に導通させられた  $M$  個の前記画素トランジスタの各々を経て各別にサンプリングされた  $M$  個の前記映像信号の各々を通過させ、同時に導通させられた  $M$  個の前記画素トランジスタの各々を各別に含む前記組の  $M$  個の画素の各々に各別に書き込む液晶表示装置であって、

前記走査回路は、 $N$  個の前記スイッチブロックのうちの任意の前記スイッチブロックに前記開閉制御信号を供給して同時に導通状態にされた該スイッチブロックの  $M$  個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、任意の前記スイッチブロック内の同時に導通状態にされた  $M$  個のスイッチ素子の各々に続いて  $M$  個のスイッチ素子が同時に導通状態にされるべき前記スイッチブロックに前記開閉制御信号を供給する回路であり、

前記  $P$  組の組毎の  $M$  個の前記映像信号を供給して来る  $M$  本の前記映像信号配線の各々は、前記第1の期間と前記第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号を各別に供給して来る映像信号配線の各々であることを特徴とする液晶表示装置。

【請求項 7】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画

素期間対応の映像信号から最後の画素期間対応の映像信号までの映像信号の各々を各別の前記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、2M本の映像信号配線とで構成され、

2M本の前記映像信号配線は、水平期間毎に、当該水平期間内の最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までのM×N個の前記映像信号のうちの時系列上でそれぞれ異なる期間のM個の前記映像信号を1つの組とし、2個の前記組毎に順次に、かつ、2個の前記組のうちの組毎に順次であって当該組内ではM個の前記映像信号を同時に供給して来る映像信号配線であり、

2M本の前記映像信号配線のうちの第i組（i=1、2のうちの1つ）のM本の前記映像信号配線の各々は、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでの2組の前記スイッチブロック毎に、最初の前記スイッチブロックから見て第i番目の前記スイッチブロックのうちのM個の前記スイッチ素子の入力端子の各々に各別に接続され、

前記データ線は、M本毎のブロックに分割され、該各ブロックのM本の前記データ線の各々は、最初の前記ブロックから最後の前記ブロックまで、ブロック単位で、N個の前記スイッチブロックの最初の前記スイッチブロックから最後の前記スイッチブロックまでの前記各スイッチブロック内のM個の前記スイッチ素子の出力端子の各々に各別に接続され、

前記走査回路は、任意の水平期間において、2M本の前記映像信号配線を経て2個の前記組毎に順次に、かつ、2個の前記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の前記映像信号に同期して前記開閉制御信号を出力し、

前記開閉制御信号によって同時に導通状態にされた前記スイッチブロックのM

個の前記スイッチ素子の各々は、2個の前記組毎に順次に、かつ、2個の前記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の前記映像信号の各々を前記開閉制御信号によって同時に導通状態にされたM個の前記スイッチ素子の各々に接続されたM本の前記データ線の各々へ各別にサンプリングし

前記任意の水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され同時に導通させられたM個の前記画素トランジスタの各々の組毎に当該組を経て各別にサンプリングされたM個の前記映像信号の各々を通過させ、同時に導通させられたM個の前記画素トランジスタの各々を各別に含む前記組のM個の画素の各々に各別に書き込む液晶表示装置であって、

前記走査回路は、N個の前記スイッチブロックのうちの任意の前記スイッチブロックに前記開閉制御信号を供給して同時に導通状態にされた該スイッチブロックのM個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、任意の前記スイッチブロック内の同時に導通状態にされたM個のスイッチ素子の各々に続いてM個のスイッチ素子が同時に導通状態にされるべき前記スイッチブロックに前記開閉制御信号を供給する回路であり、

前記2組の組毎のM個の前記映像信号を供給して来るM本の前記映像信号配線の各々は、前記第1の期間と前記第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号を供給して来る映像信号配線であることを特徴とする液晶表示装置。

【請求項8】 前記第1の期間と前記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、前記走査回路から供給された前記開閉制御信号によって先に同時に導通状態にされた前記スイッチブロックのスイッチ素子の各々が前記導通状態から非導通状態へ同時に遷移する時刻より予め決められた時間だけ前の時刻であることを特徴とする請求項6又は7記載の液晶表示装置。

【請求項9】 前記第1の期間と前記第2の期間との割合は、前記全データ線上の映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴とする請求項6、7又は8記載の液晶表示装置。

【請求項10】 前記第1の期間は、前記導通期間の前半半分以下の期間で、前記第2の期間は、前記前半半分以下の期間後の残りの期間であることを特徴とする請求項6、7、8又は9記載の液晶表示装置。

【請求項11】 1画面分の表示を順次行う相前後する2つの前記フレーム期間のうちの前の前記フレーム期間においてすべての前記画素に書き込まれる映像信号の極性を、いずれも、前記対向電極に対し同一極性又は該同一極性と異なる同一極性にし、後の前記フレーム期間においてすべての前記画素に書き込まれる映像信号の極性を、いずれも、前の前記フレーム期間において取っていた前記同一極性と異なる同一極性又は前記同一極性にすることを特徴とする請求項6乃至10のいずれか一に記載の液晶表示装置。

【請求項12】  $P \times Q$ 本又は2本の前記映像信号配線は、第1のフレーム周波数で1画面分の映像信号を出力する信号源の該第1のフレーム周波数の少なくとも2倍以上の第2のフレーム周波数で1画面分の映像信号を供給し、全ての画素に2回以上の書き込みが行われることを特徴とする請求項6乃至11のいずれか一に記載の液晶表示装置。

【請求項13】 画素スイッチ素子を構成するTFTとデータドライバ回路及びゲートドライバ回路を構成するTFTとをポリシリコンTFTとすることを特徴とする請求項6乃至12のいずれか一に記載の液晶表示装置。

【請求項14】 請求項6乃至13のいずれか一に記載の液晶表示装置を用いて構成されることを特徴とする液晶プロジェクタ装置。

【請求項15】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの前記映像信号の各々を前記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、水平期間毎に最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までの前記映像信号の各々を供

給して来る映像信号配線と、該映像信号配線を前記映像信号別に該映像信号が供給されるべき前記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御信号を出力する走査回路とで構成される液晶表示装置において、

前記映像信号配線に供給されて来た映像信号に同期して該映像信号が供給される前記スイッチ素子に前記走査回路から前記開閉制御信号が供給され、

前記映像信号配線に供給されて来た映像信号は、前記開閉制御信号によって導通状態にされた前記スイッチ素子において、該映像信号が供給されるべき前記データ線へサンプリングされ、

サンプリングされた前記映像信号は、前記映像信号を前記映像信号配線に供給して来た供給水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され導通状態にされた前記画素トランジスタを経て通過され、該画素トランジスタを含む画素に書き込まれる液晶表示装置の駆動方法であつて、

前記開閉制御信号によって導通状態にされた前記スイッチ素子が接続される前記映像信号配線に供給されるべき前記映像信号は、前記開閉制御信号によって導通状態にされた前記スイッチ素子が導通状態にある導通期間のうちの第1の期間と前記第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号であることを特徴とする液晶表示装置の駆動方法。

【請求項16】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの前記映像信号の各々を前記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、水平期間毎に最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までの前記映像信号の各々を供

給して来る映像信号配線と、該映像信号配線を前記映像信号別に該映像信号が供給されるべき前記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御信号を出力する走査回路とで構成される液晶表示装置において、

前記映像信号配線に供給されて来た前記映像信号に同期して該映像信号が供給される前記スイッチ素子に前記走査回路から前記開閉制御信号が供給され、

前記映像信号配線に供給されて来た前記映像信号は、前記開閉制御信号によつて導通状態にされた前記スイッチ素子において、該映像信号が供給されるべき前記データ線へサンプリングされ、

サンプリングされた前記映像信号は、前記映像信号を前記映像信号配線に供給して來た水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され導通状態にされた前記画素トランジスタを経て通過され、該画素トランジスタを含む画素に書き込まれる液晶表示装置の駆動方法であつて、

前記走査回路から供給された前記開閉制御信号によって導通状態にされた前記スイッチ素子の導通開始時刻から該スイッチ素子が導通状態にある導通期間のうちの第1の期間が経過した時刻に、前記走査回路から供給された開閉制御信号によって導通状態にされた前記スイッチ素子に續いて導通状態にされるべき前記スイッチ素子に前記走査回路から前記開閉制御信号が供給され、

前記走査回路から供給された開閉制御信号によって導通状態にされた前記スイッチ素子が接続される前記映像信号配線に供給されるべき前記映像信号は、前記第1の期間と前記第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号であることを特徴とする液晶表示装置の駆動方法。

【請求項17】 前記第1の期間と前記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、前記走査回路から供給された前記開閉制御信号によって先に導通状態にされた前記スイッチ素子が前記導通状態から非導通状態へ遷移する時刻より予め決められた時間だけ前の時刻であることを特徴とする請求項15又は16記載の液晶表示装置の駆動方法。

【請求項18】 前記第1の期間と前記第2の期間との割合は、前記映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴とする請求項15、16又は17記載の液晶表示装置の駆動方法。

【請求項19】 前記第1の期間は、前記導通期間の前半半分以下の期間で、前記第2の期間は、前記前半半分以下の期間後の残りの期間であることを特徴とする請求項15、16、17又は18記載の液晶表示装置の駆動方法。

【請求項20】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの前記映像信号の各々を前記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、水平期間毎に最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までの前記映像信号の各々を供給して来る映像信号配線と、該映像信号配線を前記映像信号別に該映像信号が供給されるべき前記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御信号を出力する走査回路とで構成され、

前記走査回路は、前記映像信号配線に供給されて来た前記映像信号に同期して前記開閉制御信号を前記スイッチ素子に供給し、

前記開閉制御信号によって導通状態にされた前記スイッチ素子は、前記映像信号配線に供給されて来た前記映像信号を該映像信号が供給されるべき前記データ線へサンプリングし、

前記映像信号を前記映像信号配線に供給して来た水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され導通状態にされた前記画素トランジスタを経てサンプリングされた前記映像信号を通過させ、該画素トランジスタを含む画素に書き込む液晶表示装置であって、

前記走査回路から供給されて来た前記開閉制御信号によって導通状態にされた前記スイッチ素子に接続され、該スイッチ素子を介して前記データ線に供給され

るべき前記映像信号を供給して来る前記映像信号配線は、前記スイッチ素子が導通状態にある導通期間のうちの第1の期間と該第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号を供給して来る映像信号配線であることを特徴とする液晶表示装置。

【請求項21】 縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの前記映像信号の各々を前記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する前記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

前記データドライバ回路は、水平期間毎に最初の前記画素期間対応の前記映像信号から最後の前記画素期間対応の前記映像信号までの前記映像信号の各々を供給して来る映像信号配線と、該映像信号配線を前記映像信号別に該映像信号が供給されるべき前記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御信号を出力する走査回路とで構成され、

前記走査回路は、前記映像信号配線に供給されて来た映像信号に同期して前記開閉制御信号を前記スイッチ素子に供給し、

前記開閉制御信号によって導通状態にされた前記スイッチ素子は、前記映像信号配線に供給されて来た前記映像信号を該映像信号が供給されるべき前記データ線へサンプリングし、

前記映像信号を前記映像信号配線に供給して来た水平期間に前記ゲートドライバ回路が前記ゲート信号を供給している前記ゲート線に接続され導通状態にされた前記画素トランジスタを経てサンプリングされた前記映像信号を通過させ、該画素トランジスタを含む画素に書き込む液晶表示装置であって、

前記走査回路は、前記映像信号配線から供給されて来た前記映像信号を該映像信号が供給されるべき前記データ線に供給させる前記スイッチ素子の導通開始時刻から該スイッチ素子が導通状態にある導通期間のうちの第1の期間が経過した時刻に、導通状態にされた前記スイッチ素子に統いて導通状態にされるべき前記

スイッチ素子に前記開閉制御信号を供給する回路であり、

前記走査回路から供給されて来た前記開閉制御信号によって導通状態にされた前記スイッチ素子に接続され、該スイッチ素子を介して前記データ線に供給されるべき前記映像信号を供給して来る前記映像信号配線は、前記第1の期間と前記第1の期間に続く前記導通期間の残りの期間である第2の期間とで、前記対向電極に対して異なる極性の映像信号を供給して来る映像信号配線であることを特徴とする液晶表示装置。

【請求項22】 前記第1の期間と前記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、前記走査回路から供給されて来た前記開閉制御信号によって先に導通状態にされた前記スイッチ素子が前記導通状態から非導通状態へ遷移する時刻より予め決められた時間だけ前の時刻であることを特徴とする請求項20又は21記載の液晶表示装置。

【請求項23】 前記第1の期間と前記第2の期間との割合は、前記映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴とする請求項20、21又は22記載の液晶表示装置。

【請求項24】 前記第1の期間は、前記導通期間の前半半分以下の期間で、前記第2の期間は、前記前半半分以下の期間後の残りの期間であることを特徴とする請求項20、21、22又は23記載の液晶表示装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、液晶表示装置及びその駆動方法並びに液晶プロジェクタ装置に関し、詳しくはサブフレームの映像信号を画素マトリクスの対向電極の電位に対して予め決められた極性の映像信号にし、その映像信号毎に当該映像信号に先行して当該映像信号の極性とは逆極性の映像信号を挿入して当該画素の表示に供する液晶表示装置及びその駆動方法並びに液晶プロジェクタ装置に関する。

##### 【0002】

##### 【従来の技術】

電子ディスプレイ装置の1つとして、液晶表示装置がある。液晶表示装置の中

でも、高い表示品質の表示性能を有するアクティブマトリクス型液晶表示装置が、PC用モニタからプロジェクタ用液晶表示装置まで幅広く用いられている。アクティブマトリクス用液晶表示装置は、その各画素にアクティブ素子であるTFT (Thin Film Transistor) (以下、画素TFTという) を設けて液晶パネルを構成したものである。

#### 【0003】

この液晶パネルを表示パネルとしたアクティブマトリクス型液晶表示装置のTFTとして、ポリシリコンTFTを用いた液晶パネルは、周辺回路の一部を画素TFTと同時にガラス基板上に形成し得るという利点を有する。

この利点があることから、ポリシリコンTFTを用いた液晶パネルは、小型、高精細が要求される液晶表示装置で多く用いられている。

特に、対角1インチ(2.54cm)以下の液晶表示装置で、1024×768画素以上の高精細が要求されるプロジェクタ用液晶表示装置では、ポリシリコンTFTを用いた液晶パネルを表示パネルとした液晶表示装置以外用いられていないのが現状である。

#### 【0004】

プロジェクタ用液晶表示装置において高画質が要求されるのは、映し出された小さな映像を対角100インチ程度のスクリーン上に拡大投影するためであり、要求される高画質の程度は、PC用液晶表示装置以上である。高画質を得るには、輝度とコントラストを高める必要がある。

#### 【0005】

液晶表示装置の駆動方法は、一般に、フレーム毎に画素に印加される電圧の極性を変えるAC駆動が用いられている。このAC駆動によれば、液晶分子にDC電圧が印加されてしまうのを回避し得る。

従来、プロジェクタ用液晶表示装置で用いられているAC駆動は、ゲート線反転駆動である。このゲート線反転駆動は、液晶画素マトリクスの1行毎に、ゲート線に印加される電圧の極性を交互に変え、さらにフレーム単位でその極性を反転させる駆動方法である。

この駆動方法によれば、フリッカーを低減でき、さらに画素TFTのリーク電

流に起因する縦クロストロークも低減できるという利点を有する。

#### 【0006】

しかしながら、ゲート線反転駆動法で液晶表示装置を動作させると、画素マトリクス内の先行して駆動されるゲート線に所属する画素と直続して駆動されるゲート線に所属する画素とに印加される映像信号の極性が異なることから、画素電極間に大きな横方向電界が生ずる。ここで言う横方向電界とは、画素電極がガラス基板や液晶層に沿って延在する方向で生ずる電界である。

この横方向電界は、画素境界部で液晶分子の配向を乱し、光漏れの原因になる。このような光漏れが生ずるとコントラストを著しく低下させ、画質を劣化させてしまう。

#### 【0007】

上述の横方向電界の発生を回避する手段として、従来においては光を透過させない金属等を上記光漏れの発生部分に配置して漏れる光を遮光し、コントラストの低下を防止していた。

この手段により、配置される金属等が占有する領域だけ画素領域が減少し、開口率を低下させてしまう。そのため、画素のピッチが $30\text{ }\mu\text{m}$ を下回るような高精細パネルを必要とするプロジェクタ用液晶表示装置においては、上述の手段による横方向電界の回避は、大きな問題になる。

#### 【0008】

上述した横方向電界によって惹起して来る技術的問題を回避する他の手段として、フレーム反転駆動法がある。

このフレーム反転駆動法は、画素マトリクス内の全ての画素に供給される映像信号（以下、画素信号という）の極性を全て同一極性にし、フレーム毎にその極性を反転させる駆動法である。

#### 【0009】

画素TFTにポリシリコンTFTを用いた液晶表示装置をフレーム反転駆動させた例について説明する。

図17は、画素TFTにポリシリコンTFTを用いた液晶表示装置の構成を示す。この液晶表示装置は、縦方向に配置されたデータ線 $D_j$ （ $j$ は1, 2, …,

$n$ のうちの1つ)と横方向に配置されたゲート線 $G_i$  ( $i$ は=1, 2, …,  $m$ のうちの1つ)との各交点に、画素TFT $a$ 、蓄積容量 $b$ 及び画素電極 $c$ を配置して成る画素 $PE_{i,j}$ が、マトリクス状に配置されて構成されている。この画素マトリクス116の周辺にデータドライバ回路112とゲートドライバ回路114とが配置されている。データドライバ回路112は、データ線を駆動する回路であり、ゲートドライバ回路114は、ゲート線を駆動する回路である。

#### 【0010】

データドライバ回路112は、6本の映像信号線（以下、画素信号線という） $S_1$ 乃至 $S_6$ に供給されて来る画素信号の各々を対応する6本のデータ線へ各別にサンプリングするスイッチアレイ $119_g$  ( $g$ は1, 2, …,  $P$ のうちの1つ。 $P$ はブロック数) とスイッチアレイ $119_g$ の各々に各別にオン／オフ制御信号 $SP_g$ を供給する走査回路121とにより構成されている。つまり、データドライバ回路112は、そのスイッチアレイ $119_g$ が、いずれも6個のアナログスイッチで構成され、この6個のアナログスイッチを1つの単位として、すなわち、1つのブロックとして6本の画素信号線 $S_1$ 乃至 $S_6$ を経て供給されて来る6個の画素信号を同時にサンプリングするブロック分割駆動を行う回路である。

#### 【0011】

そして、上述したプロジェクタ用液晶表示装置をフレーム反転駆動させる際のタイミングチャートを図18及び図19に示す。図18は、画素マトリクスの各画素の対向電極電位 $V_{com}$ に対して正の極性となる画素信号を書き込むフレームにおけるタイミングチャートであり、図19は、画素マトリクスの各画素の対向電極電位 $V_{com}$ に対して負の極性となる画素信号を書き込むフレームにおけるタイミングチャートである。

#### 【0012】

図18及び図19において、 $DCLK_1$ 及び $DCLK_2$ は、走査回路121を構成するシフトレジスタ（図示せず）へ供給される制御クロックパルスである。制御クロックパルス $DCLK_2$ は、制御クロックパルス $DCLK_1$ を反転したものである。 $SP_{g-1}$ 、 $SP_g$ 、 $SP_{g+1}$ は、制御クロックパルス $DCLK_1$ 及び $DCLK_2$ の供給を受ける走査回線121内のシフトレジスタから発生され

るオン／オフ制御信号の各々である。

画素信号配線 S 1 乃至 S 6 を経て供給されて来る画素信号は、オン／オフ制御信号  $S P_g$  によってオン／オフされるスイッチアレイ  $119_g$  でサンプリングされて対応する 6 本のデータ線上に出力されて画素の表示に用いられる。

#### 【0013】

なお、ブロック分割駆動を行う液晶表示装置において、スイッチ用 F E T の特性が低い場合に、ブロックに含まれるデータ線の本数を増やして高速化を図る駆動方法が、特開平10-197894号公報に記載されている。

また、poly-Si F E T の製造方法、構造を変えてフレーム反転駆動の高速化を達成する技術が、特開2001-228457号公報に記載されている。

#### 【0014】

##### 【発明が解決しようとする課題】

上述のようにして、画素表示に用いられるデータ線上の画素信号の極性は、少なくとも 1 フレーム期間内において同一極性にある。

そのため、上述のフレーム反転駆動を行うと、すべてのデータ線に印加される画素信号の平均値は、その画素信号により大きく変動する。この平均値の変動は、データ線と寄生容量を介して結合しているゲート線及び対向電極の電位変動に違いを生じさせる。その結果として、横クロストロークが発生しまうという技術的課題がある。

また、1 フレーム（サブフレーム）内でデータ線に印加される画素信号の平均値も、画素信号により変動するため、縦クロストロークが発生してしまうという技術的課題がある。

#### 【0015】

この発明は、上述の事情に鑑みてなされたもので、サブフレームの映像信号を画素マトリクスの対向電極の電位に対して予め決められた極性の映像信号にし、その映像信号毎に当該映像信号の極性と逆極性の映像信号、そして元の極性の映像信号を映像信号線からデータ線に印加し、その元の極性の映像信号をデータ線へサンプリングしてデータ線の浮遊容量に保持させ、データ線上の電圧変動の大軒な抑圧、クロストローク等の低減を達成し得る液晶表示装置及びその駆動方法

並びに液晶プロジェクタ装置を提供することをその目的とする。

【0016】

【課題を解決するための手段】

上記課題を解決するために、請求項1に記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの上記映像信号の各々を各別の上記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、

上記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、M×P本（Pは自然数）の映像信号配線とで構成され、M×P本の上記映像信号配線は、水平期間毎に、当該水平期間内の最初の上記画素期間対応の上記映像信号から最後の上記画素期間対応の上記映像信号までのM×N個の上記映像信号のうちの時系列上でそれぞれ異なる期間のM個の上記映像信号を1つの組とし、P個の上記組毎に順次に、かつ、P個の上記組のうちの組毎に順次であって当該組内ではM個の上記映像信号を同時に供給して来る映像信号配線であり、M×P本の上記映像信号配線のうちの第i組（i=1、2、…、Pのうちの1つ）のM本の上記映像信号配線の各々は、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでのP組の上記スイッチブロック毎に、最初の上記スイッチブロックから見て第i番目の上記スイッチブロックのうちのM個の上記スイッチ素子の入力端子の各々に各別に接続され、上記データ線は、M本毎のブロックに分割され、該各ブロックのM本の上記データ線の各々は、最初の上記ブロックから最後の上記ブロックまで、ブロック単位で、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでの上記各スイッチブロック内のM個の上記スイッチ素子の出力端子の各々に各別に接続されて構成される液晶表示装置において、上記走査回路は、任意の水

平期間において、M×P本の上記映像信号配線を経てP個の上記組毎に順次に、かつ、P個の上記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の上記映像信号に同期して上記開閉制御信号を出力し、P個の上記組毎に順次に、かつ、P個の上記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の上記映像信号の各々は、上記開閉制御信号によって同時に導通状態にされた上記スイッチブロックのM個の上記スイッチ素子の各々において、M個の上記スイッチ素子の各々に接続されたM本の上記データ線の各々へ各別にサンプリングされ、各別にサンプリングされたM個の上記映像信号の各々は、上記任意の水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され同時に導通させられたM個の上記画素トランジスタの組毎に当該組のM個の上記画素トランジスタを経て通過され、同時に導通させられたM個の上記画素トランジスタの各々を各別に含む上記組のM個の画素の各々に各別に書き込まれる液晶表示装置の駆動方法に係わり、上記走査回路から供給された上記開閉制御信号によって先に同時に導通状態にされた上記スイッチブロックのM個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、上記走査回路から供給された上記開閉制御信号によって先に同時に導通状態にされた上記スイッチブロックのM個の上記スイッチ素子の各々に続いてM個のスイッチ素子が同時に導通状態にされるべき上記スイッチブロックに上記走査回路から上記開閉制御信号が供給され、上記P組の組毎のM本の上記映像信号配線から供給されるM個の上記映像信号の各々は、上記第1の期間と上記第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像信号であることを特徴としている。

## 【0017】

請求項2記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの映像信号の各々を各別の上記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成された

マトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、上記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、2M本の映像信号配線とで構成され、2M本の上記映像信号配線は、水平期間毎に、当該水平期間内の最初の上記画素期間対応の上記映像信号から最後の上記画素期間対応の上記映像信号までのM×N個の上記映像信号のうちの時系列上でそれぞれ異なる期間のM個の上記映像信号を1つの組とし、2個の上記組毎に順次に、かつ、2個の上記組のうちの組毎に順次であって当該組内ではM個の上記映像信号を同時に供給して来る映像信号配線であり、2M本の上記映像信号配線のうちの第i組（i=1、2のうちの1つ）のM本の上記映像信号配線の各々は、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでの2組の上記スイッチブロック毎に、最初の上記スイッチブロックから見て第i番目の上記スイッチブロックのうちのM個の上記スイッチ素子の入力端子の各々に各別に接続され、上記データ線は、M本毎のブロックに分割され、該各ブロックのM本の上記データ線の各々は、最初の上記ブロックから最後の上記ブロックまで、ブロック単位で、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでの上記各スイッチブロック内のM個の上記スイッチ素子の出力端子の各々に各別に接続されて構成される液晶表示装置において、上記走査回路は、任意の水平期間において、2M本の上記映像信号配線を経て2個の上記組毎に順次に、かつ、2個の上記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の上記映像信号に同期して上記開閉制御信号を出力し、2個の上記組毎に順次に、かつ、2個の上記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の上記映像信号の各々は、上記開閉制御信号によって同時に導通状態にされた上記スイッチブロックのM個の上記スイッチ素子の各々において、同時に導通状態にされたM個の上記スイッチ素子の各々に接続されたM本の上記データ線の各々へ各別にサンプリングされ、各別にサンプリングされたM個の映像信号の各々は、上記任意の水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され同時に導通させられたM

個の上記画素トランジスタの各々の組毎に該組のM個の上記画素トランジスタの各々を経て通過され、同時に導通させられたM個の上記画素トランジスタの各々を各別に含む上記組のM個の画素の各々に各別に書き込まれる液晶表示装置の駆動方法に係わり、上記走査回路から供給された上記開閉制御信号によって先に同時に導通状態にされた上記スイッチブロックのM個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、上記走査回路から供給された上記開閉制御信号によって先に同時に導通状態にされた上記スイッチブロックのM個の上記スイッチ素子の各々に続いてM個の上記スイッチ素子が同時に導通状態にされるべき上記スイッチブロックに上記走査回路から上記開閉制御信号が供給され、上記2組の組毎のM本の上記映像信号配線から供給されるM個の上記映像信号の各々は、上記第1の期間と上記第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像信号であることを特徴としている。

## 【0018】

請求項3記載の発明は、請求項1又は2記載の液晶表示装置の駆動方法に係わり、上記第1の期間と上記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、上記走査回路から供給された上記開閉制御信号に先に同時に導通状態になった上記スイッチブロックのスイッチ素子の各々が上記導通状態から非導通状態へ同時に遷移する時刻より予め決められた時間だけ前の時刻であることを特徴としている。

## 【0019】

請求項4記載の発明は、請求項1、2又は3記載の液晶表示装置の駆動方法に係わり、上記第1の期間と上記第2の期間との割合は、上記全データ線上の映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴としている。

## 【0020】

請求項5記載の発明は、請求項1、2、3又は4記載の液晶表示装置の駆動方法に係わり、上記第1の期間は、上記導通期間の前半半分以下の期間で、上記第2の期間は、上記前半半分以下の期間後の残りの期間であることを特徴としている

## 【0021】

請求項6記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの上記映像信号の各々を各別の上記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、上記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、M×P本の映像信号配線とで構成され、

M×P本の上記映像信号配線は、水平期間毎に、当該水平期間内の最初の上記画素期間対応の上記映像信号から最後の上記画素期間対応の上記映像信号までのM×N個の上記映像信号のうちの時系列上でそれぞれ異なる期間のM個の上記映像信号を1つの組とし、P個の上記組毎に順次に、かつ、P個の上記組のうちの組毎に順次であって当該組内ではM個の上記映像信号を同時に供給して来る映像信号配線であり、M×P本の上記映像信号配線のうちの第i組（i=1, 2, …, Pのうちの1つ）のM本の上記映像信号配線の各々は、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでのP組の上記スイッチブロック毎に、最初の上記スイッチブロックから見て第i番目の上記スイッチブロックのうちのM個の上記スイッチ素子の入力端子の各々に各別に接続され、上記データ線は、M本毎のブロックに分割され、該各ブロックのM本の上記データ線の各々は、最初の上記ブロックから最後の上記ブロックまで、ブロック単位で、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでの上記各スイッチブロック内のM個の上記スイッチ素子の出力端子の各々に各別に接続され、上記走査回路は、任意の水平期間において、M×P本の上記映像信号配線を経てP個の上記組毎に順次に、かつ、P個の上記組のうちの組毎に順次であって当該組内では同時に供給されて

来たM個の上記映像信号に同期して上記開閉制御信号を出力し、上記開閉制御信号によって同時に導通状態にされた上記スイッチブロックのM個の上記スイッチ素子の各々は、P個の上記組毎に順次に、かつ、P個の上記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の上記映像信号を上記開閉制御信号によって同時に導通状態にされたM個の上記スイッチ素子の各々に接続されたM本の上記データ線の各々へ各別にサンプリングし、上記任意の水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され同時に導通させられたM個の上記画素トランジスタの各々の組毎に当該組的同时に導通させられたM個の上記画素トランジスタの各々を経て各別にサンプリングされたM個の上記映像信号の各々を通過させ、同時に導通させられたM個の上記画素トランジスタの各々を各別に含む上記組のM個の画素の各々に各別に書き込む液晶表示装置に係わり、上記走査回路は、N個の上記スイッチブロックのうちの任意の上記スイッチブロックに上記開閉制御信号を供給して同時に導通状態にされた該スイッチブロックのM個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、任意の上記スイッチブロック内の同時に導通状態にされたM個のスイッチ素子の各々に続いてM個のスイッチ素子が同時に導通状態にされるべき上記スイッチブロックに上記開閉制御信号を供給する回路であり、上記P組の組毎のM個の上記映像信号を供給して来るM本の上記映像信号配線の各々は、上記第1の期間と上記第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像信号を各別に供給して来る映像信号配線の各々であることを特徴としている。

## 【0022】

請求項7記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの映像信号の各々を各別の上記データ線に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が

配置された対向基板との間に液晶が挿設され、上記データドライバ回路は、M個のスイッチ素子から成るN個のスイッチブロックと、該スイッチブロック毎の開閉制御信号を出力する走査回路と、2M本の映像信号配線とで構成され、2M本の上記映像信号配線は、水平期間毎に、当該水平期間内の最初の上記画素期間対応の上記映像信号から最後の上記画素期間対応の上記映像信号までのM×N個の上記映像信号のうちの時系列上でそれぞれ異なる期間のM個の上記映像信号を1つの組とし、2個の上記組毎に順次に、かつ、2個の上記組のうちの組毎に順次であって当該組内ではM個の上記映像信号を同時に供給して来る映像信号配線であり、2M本の上記映像信号配線のうちの第i組（i=1、2のうちの1つ）のM本の上記映像信号配線の各々は、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでの2組の上記スイッチブロック毎に、最初の上記スイッチブロックから見て第i番目の上記スイッチブロックのうちのM個の上記スイッチ素子の入力端子の各々に各別に接続され、

上記データ線は、M本毎のブロックに分割され、該各ブロックのM本の上記データ線の各々は、最初の上記ブロックから最後の上記ブロックまで、ブロック単位で、N個の上記スイッチブロックの最初の上記スイッチブロックから最後の上記スイッチブロックまでの上記各スイッチブロック内のM個の上記スイッチ素子の出力端子の各々に各別に接続され、上記走査回路は、任意の水平期間において、2M本の上記映像信号配線を経て2個の上記組毎に順次に、かつ、2個の上記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の上記映像信号に同期して上記開閉制御信号を出力し、上記開閉制御信号によって同時に導通状態にされた上記スイッチブロックのM個の上記スイッチ素子の各々は、2個の上記組毎に順次に、かつ、2個の上記組のうちの組毎に順次であって当該組内では同時に供給されて来たM個の上記映像信号の各々を上記開閉制御信号によって同時に導通状態にされたM個の上記スイッチ素子の各々に接続されたM本の上記データ線の各々へ各別にサンプリングし、上記任意の水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され同時に導通させられたM個の上記画素トランジスタの各々の組毎に当該組を経て各別にサンプリングされたM個の上記映像信号の各々を通過させ、同時に導通させられた

M個の上記画素トランジスタの各々を各別に含む上記組のM個の画素の各々に各別に書き込む液晶表示装置に係わり、上記走査回路は、N個の上記スイッチブロックのうちの任意の上記スイッチブロックに上記開閉制御信号を供給して同時に導通状態にされた該スイッチブロックのM個のスイッチ素子の各々の導通開始時刻から該スイッチ素子の各々が導通状態にある導通期間のうちの第1の期間が経過した時刻に、任意の上記スイッチブロック内の同時に導通状態にされたM個のスイッチ素子の各々に統いてM個のスイッチ素子が同時に導通状態にされるべき上記スイッチブロックに上記開閉制御信号を供給する回路であり、上記2組の組毎のM個の上記映像信号を供給して来るM本の上記映像信号配線の各々は、上記第1の期間と上記第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像信号を供給して来る映像信号配線であることを特徴としている。

#### 【0023】

請求項8記載の発明は、請求項6又は7記載の液晶表示装置に係わり、上記第1の期間と上記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、上記走査回路から供給された上記開閉制御信号によって先に同時に導通状態にされた上記スイッチブロックのスイッチ素子の各々が上記導通状態から非導通状態へ同時に遷移する時刻より予め決められた時間だけ前の時刻であることを特徴としている。

#### 【0024】

請求項9記載の発明は、請求項6、7又は8記載の液晶表示装置に係わり、上記第1の期間と上記第2の期間との割合は、上記全データ線上の映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴としている。

#### 【0025】

請求項10記載の発明は、請求項6、7、8又は9記載の液晶表示装置に係わり、上記第1の期間は、上記導通期間の前半半分以下の期間で、上記第2の期間は、上記前半半分以下の期間後の残りの期間であることを特徴としている。

#### 【0026】

請求項11記載の発明は、請求項6乃至10のいずれか一に記載の液晶表示裝

置に係わり、1画面分の表示を順次行う相前後する2つの上記フレーム期間のうちの前の上記フレーム期間においてすべての上記画素に書き込まれる映像信号の極性を、いずれも、上記対向電極に対し同一極性又は該同一極性と異なる同一極性にし、後の上記フレーム期間においてすべての上記画素に書き込まれる映像信号の極性を、いずれも、前の上記フレーム期間において取っていた上記同一極性と異なる同一極性又は上記同一極性にすることを特徴としている。

## 【0027】

請求項12記載の発明は、請求項6乃至11のいずれか一に記載の液晶表示装置にかかわり、P×Q本又は2本の上記映像信号配線は、第1のフレーム周波数で1画面分の映像信号を出力する信号源の該第1のフレーム周波数の少なくとも2倍以上の第2のフレーム周波数で1画面分の映像信号を供給し、全ての画素に2回以上の書き込みが行われることを特徴としている。

## 【0028】

請求項13記載の発明は、請求項6乃至12のいずれか一に記載の液晶表示装置にかかわり、画素スイッチ素子を構成するTFTとデータドライバ回路及びゲートドライバ回路を構成するTFTとをポリシリコンTFTとすることを特徴としている。

## 【0029】

請求項14記載の発明は、請求項6乃至13のいずれか一に記載の液晶表示装置を用いて構成される液晶プロジェクタ装置であることを特徴としている。

## 【0030】

請求項15記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの上記映像信号の各々を上記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、上記データドライバ回路は、水平期間毎に最初の上記画素期間対応の上記映像信号から最後の上記画

素期間対応の上記映像信号までの上記映像信号の各々を供給して来る映像信号配線と、該映像信号配線を上記映像信号別に該映像信号が供給されるべき上記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御信号を出力する走査回路とで構成される液晶表示装置において、上記映像信号配線に供給されて来た映像信号に同期して該映像信号が供給される上記スイッチ素子に上記走査回路から上記開閉制御信号が供給され、上記映像信号配線に供給されて来た映像信号は、上記開閉制御信号によって導通状態にされた上記スイッチ素子において、該映像信号が供給されるべき上記データ線へサンプリングされ、サンプリングされた上記映像信号は、上記映像信号を上記映像信号配線に供給して来た供給水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され導通状態にされた上記画素トランジスタを経て通過され、該画素トランジスタを含む画素に書き込まれる液晶表示装置の駆動方法にかかり、上記開閉制御信号によって導通状態にされた上記スイッチ素子が接続される上記映像信号配線に供給されるべき上記映像信号は、上記開閉制御信号によって導通状態にされた上記スイッチ素子が導通状態にある導通期間のうちの第1の期間と上記第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像信号であることを特徴としている。

## 【0031】

請求項16記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの上記映像信号の各々を上記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、上記データドライバ回路は、水平期間毎に最初の上記画素期間対応の上記映像信号から最後の上記画素期間対応の上記映像信号までの上記映像信号の各々を供給して来る映像信号配線と、該映像信号配線を上記映像信号別に該映像信号が供給されるべき上記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御

信号を出力する走査回路とで構成される液晶表示装置において、上記映像信号配線に供給されて来た上記映像信号に同期して該映像信号が供給される上記スイッチ素子に上記走査回路から上記開閉制御信号が供給され、上記映像信号配線に供給されて来た上記映像信号は、上記開閉制御信号によって導通状態にされた上記スイッチ素子において、該映像信号が供給されるべき上記データ線へサンプリングされ、サンプリングされた上記映像信号は、上記映像信号を上記映像信号配線に供給して来た水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され導通状態にされた上記画素トランジスタを経て通過され、該画素トランジスタを含む画素に書き込まれる液晶表示装置の駆動方法に係わり、上記走査回路から供給された上記開閉制御信号によって導通状態にされた上記スイッチ素子の導通開始時刻から該スイッチ素子が導通状態にある導通期間のうちの第1の期間が経過した時刻に、上記走査回路から供給された開閉制御信号によって導通状態にされた上記スイッチ素子に続いて導通状態にされるべき上記スイッチ素子に上記走査回路から上記開閉制御信号が供給され、上記走査回路から供給された開閉制御信号によって導通状態にされた上記スイッチ素子が接続される上記映像信号配線に供給されるべき上記映像信号は、上記第1の期間と上記第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像信号であることを特徴としている。

#### 【0032】

請求項17記載の発明は、請求項15又は16記載の液晶表示装置の駆動方法に係わり、上記第1の期間と上記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、上記走査回路から供給された上記開閉制御信号によって先に導通状態にされた上記スイッチ素子が上記導通状態から非導通状態へ遷移する時刻より予め決められた時間だけ前の時刻であることを特徴としている。

#### 【0033】

請求項18記載の発明は、請求項15、16又は17記載の液晶表示装置の駆動方法に拘わり、上記第1の期間と上記第2の期間との割合は、上記映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴としている。

#### 【0034】

請求項19記載の発明は、請求項15、16、17又は18記載の液晶表示装置の駆動方法に拘わり、上記第1の期間は、上記導通期間の前半半分以下の期間で、上記第2の期間は、上記前半半分以下の期間後の残りの期間であることを特徴としている。

【0035】

請求項20記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの上記映像信号の各々を上記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、上記データドライバ回路は、水平期間毎に最初の上記画素期間対応の上記映像信号から最後の上記画素期間対応の上記映像信号までの上記映像信号の各々を供給して来る映像信号配線と、該映像信号配線を上記映像信号別に該映像信号が供給されるべき上記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御信号を出力する走査回路とで構成され、上記走査回路は、上記映像信号配線に供給されて来た上記映像信号に同期して上記開閉制御信号を上記スイッチ素子に供給し、上記開閉制御信号によって導通状態にされた上記スイッチ素子は、上記映像信号配線に供給されて来た上記映像信号を該映像信号が供給されるべき上記データ線へサンプリングし、上記映像信号を上記映像信号配線に供給して来た水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され導通状態にされた上記画素トランジスタを経てサンプリングされた上記映像信号を通過させ、該画素トランジスタを含む画素に書き込む液晶表示装置に係わり、上記走査回路から供給されて来た上記開閉制御信号によって導通状態にされた上記スイッチ素子に接続され、該スイッチ素子を介して上記データ線に供給されるべき上記映像信号を供給して来る上記映像信号配線は、上記スイッチ素子が導通状態にある導通期間のうちの第1の期間と該第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像

信号を供給して来る映像信号配線であることを特徴としている。

【0036】

請求項21記載の発明は、縦横に配置されたゲート線とデータ線との交点に画素トランジスタを含む画素が配置された画素マトリクスの周辺に、水平期間毎に最初の画素期間対応の映像信号から最後の画素期間対応の映像信号までの上記映像信号の各々を上記データ線の各々に各別に供給するデータドライバ回路と、ゲート信号を水平期間毎に対応する上記ゲート線に供給するゲートドライバ回路とが形成されたマトリクス基板と、該マトリクス基板上の全ての画素に対して共通の対向電極が配置された対向基板との間に液晶が挿設され、上記データドライバ回路は、水平期間毎に最初の上記画素期間対応の上記映像信号から最後の上記画素期間対応の上記映像信号までの上記映像信号の各々を供給して来る映像信号配線と、該映像信号配線を上記映像信号別に該映像信号が供給されるべき上記データ線に接続させるスイッチ素子と、該スイッチ素子を導通状態にさせる開閉制御信号を出力する走査回路とで構成され、上記走査回路は、上記映像信号配線に供給されて来た映像信号に同期して上記開閉制御信号を上記スイッチ素子に供給し

上記開閉制御信号によって導通状態にされた上記スイッチ素子は、上記映像信号配線に供給されて来た上記映像信号を該映像信号が供給されるべき上記データ線へサンプリングし、上記映像信号を上記映像信号配線に供給して来た水平期間に上記ゲートドライバ回路が上記ゲート信号を供給している上記ゲート線に接続され導通状態にされた上記画素トランジスタを経てサンプリングされた上記映像信号を通過させ、該画素トランジスタを含む画素に書き込む液晶表示装置に係わり、上記走査回路は、上記映像信号配線から供給されて来た上記映像信号を該映像信号が供給されるべき上記データ線に供給させる上記スイッチ素子の導通開始時刻から該スイッチ素子が導通状態にある導通期間のうちの第1の期間が経過した時刻に、導通状態にされた上記スイッチ素子に続いて導通状態にされるべき上記スイッチ素子に上記開閉制御信号を供給する回路であり、上記走査回路から供給されて来た上記開閉制御信号によって導通状態にされた上記スイッチ素子に接続され、該スイッチ素子を介して上記データ線に供給されるべき上記映像信号

を供給して来る上記映像信号配線は、上記第1の期間と上記第1の期間に続く上記導通期間の残りの期間である第2の期間とで、上記対向電極に対して異なる極性の映像信号を供給して来る映像信号配線であることを特徴としている。

【0037】

請求項22記載の発明は、請求項20又は21記載の液晶表示装置に係わり、上記第1の期間と上記第2の期間とで極性を異にする映像信号の極性の切り換わり時刻は、上記走査回路から供給されて来た上記開閉制御信号によって先に導通状態にされた上記スイッチ素子が上記導通状態から非導通状態へ遷移する時刻より予め決められた時間だけ前の時刻であることを特徴としている。

【0038】

請求項23記載の発明は、請求項20、21又は22記載の液晶表示装置に係わり、上記第1の期間と上記第2の期間との割合は、上記映像信号の電圧変動量の低減に有効な予め決められた割合であることを特徴としている。

【0039】

請求項24記載の発明は、請求項20、21、22又は23記載の液晶表示装置に係わり、上記第1の期間は、上記導通期間の前半半分以下の期間で、上記第2の期間は、上記前半半分以下の期間後の残りの期間であることを特徴としている。

【0040】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に説明する。

◇第1実施例

図1は、この発明の第1実施例であるアクティブマトリクス型液晶表示装置の構成を示す図、図2は、同アクティブマトリクス型液晶表示装置へ信号を供給する外部駆動回路を示す図、図3は、同アクティブマトリクス型液晶表示装置のデータドライバの構成を示す図、図4は、同アクティブマトリクス型液晶表示装置のゲートドライバの構成を示す図、図5は、同アクティブマトリクス型液晶表示装置のデータドライバのタイミングチャート、図6は、同アクティブマトリクス

型液晶表示装置のデータドライバの詳細なタイミングチャート及び画素の対向電極の電位に対して正の極性の画素信号を画素マトリクス内の対応画素に書き込むサブフレームにおけるタイミングチャート、また、図7は、同アナログマトリクス型液晶表示装置のゲートドライバのタイミングチャート及びサブフレーム毎の画素信号の極性を示すタイミングチャートである。

## 【0041】

この実施例のアクティブマトリクス型液晶表示装置10（以下、液晶表示装置という）は、画素マトリクスをサブフレーム反転駆動し、かつ、そのサブフレーム毎に画素マトリクスをブロック順次駆動する際に、そのブロック内のデータ線に画素信号の極性と逆極性の画素信号と元の極性の画素信号とを印加し、元の極性の画素信号をサンプリングして対応データ線の浮遊容量に保持させることにより、従来のフレーム反転駆動で生ずる横クロストローク、縦クロストローク等の発生を大幅に抑圧し得る装置に係り、図1に示すように、画素マトリクス12と、データドライバ14と、ゲートドライバ16とから概略構成される。

この液晶表示装置10は、図2に示すように、信号源（パーソナルコンピュータ（PC）等）102から外部駆動回路104を介して画素信号、制御パルス及び電源電圧の供給を受ける。

## 【0042】

信号源102から供給された画素信号は、一旦フレームメモリ106に書き込まれ、そして読み出される。読み出し速度は、1フレームを所定数のサブフレームに分割し得る速度である。サブフレーム数が4であるとすると、読み出し速度は、書き込み速度の4倍である。この実施例は、サブフレーム数を4とする例である。

フレームメモリ106から高速で読み出された画素信号は、V-T補正/γ補正回路108において、液晶の印加電圧-透過率の非線形歪を補正するV-T補正及び画質調整のためのγ補正が施される。これらの補正が施された画素信号は、相展開/極性反転回路110において、サブフレーム毎に12相の信号に時分割されて出力される。

## 【0043】

相展開／極性反転回路110において時分割される信号形式は、12相の前半6相についてはその各々の信号として水平方向における6つの画素信号を同時に（並行して）出力し、次いで後半6相についてはその各々の信号として水平方向における次の6つの画素信号を同時に出力し、これに続いて12個の画素信号毎に水平方向の最後の画素信号まで順次続く信号である。

なお、上記「次いで」とは、順次のブロックに含まれ、同時に出力される6つの画素信号の信号期間 $t_p$ の周期開始時刻から第1水平クロックパルスDCK1（後述する）の周期の1/2周期の時間経過した時刻に、該ブロックに直続するブロックに含まれ、同時に出力される6つの画素信号が出力され始める関係をいう。

そして、水平方向の6個の画素信号毎の同様の時分割出力動作を各水平方向の6個の画素信号毎に順次行う。6個の画素信号の各々を後述する6本のデータ線（ブロック）へ印加される画素信号となる。

#### 【0044】

この6個の画素信号ずつが、1ブロックとして液晶表示装置10の画素マトリクス12に順次に書き込まれることになるが、その或る1つのブロックの書き込みに際して後述する対応スイッチアレイによるサンプリングが行われるが、そのスイッチアレイがオンされているスイッチオン時間は $t_{on2}$ である（後述）。

このスイッチオン時間 $t_{on2}$ 内の前方時間の間、並列に入力される上記6個の画素信号は、画素マトリクス12の対向電極27の電位に対して正の極性の6個の画素信号の極性とは逆極性の信号であり、また、上記前方時間経過時から上記スイッチオン時間 $t_{on2}$ の終了時までの間は、並列に入力される上記6個の画素信号は、画素マトリクス12の対向電極27の電位に対して正の極性の画素信号である。

このような信号形式になる12相の画素信号が、相展開／極性反転回路110から液晶表示装置10へ供給される。

#### 【0045】

制御パルス生成回路112からは、映像信号の水平同期信号VSYNCに応答して水平方向のスタートパルスDSTP、水平方向の第1クロックパルス（第1水

平クロックパルスという) DCK1、水平方向の第2クロックパルス(第2水平クロックパルスという) DCK2、第1デコードパルス(第1水平デコードパルスという) DEC1及び水平方向の第2デコードパルス(第2水平デコードパルスという) DEC2と、映像信号の垂直同期信号VSYNCに応答して垂直方向のスタートパルスGSTP、垂直方向の第1クロックパルス(第1垂直クロックパルスという) GCK1及び垂直方向の第2クロックパルス(第2垂直クロックパルスという) GCK2が生成されて液晶表示装置10へ供給される。

## 【0046】

第1水平クロックパルスDCK1は、 $2T_H/P+1$ ( $T_H$ はサブフレームの水平時間、Pは後述するブロック数である)の周期を有するパルスである。第2水平クロックパルスDCK2は、第1水平クロックパルスDCK1を反転させて生成されるパルスである(図6のDCK1及びDCK2)。

## 【0047】

また、第1水平デコードパルスDEC1は、第1水平クロックパルスDCK1と同一の周期であるが、その立ち上がりは、第1水平クロックパルスDCK1の立ち上がりと同一で、立ち上がって高レベルにある時間を上記スイッチオン時間 $t_{on2}$ (その開始時刻は、図6においては $T_{k-1}$ 、 $T_k$ 、 $T_{k+1}$ 等であり、終了時刻は、 $T'_{k-1}$ 、 $T'_{k}$ 、 $T'_{k+1}$ 等である)とし、このスイッチオン時間 $t_{on2}$ の終了時刻から第1水平クロックパルスDCK1の周期終了時刻までの時間 $t_c$ は低レベルにあるパルスである。

第2デコードパルスDEC2は、第2水平クロックパルスDCK2と同一の周期であるが、その立ち上がりは、第2水平クロックパルスDCK2の立ち上がりと同一で、立ち上がって高レベルにある時間を上記スイッチオン時間 $t_{on2}$ とし、このスイッチオン時間 $t_{on2}$ の終了時刻から第2水平クロックパルスDCK2の周期終了時刻までの時間 $t_c$ は低レベルにあるパルスである。

## 【0048】

第1垂直クロックパルスGCK1は、その周期をサブフレームの垂直時間をゲート線の本数で除した時間として生成されるパルスである。第2垂直クロックパルスGCK2は、第1垂直クロックパルスGCK1を反転させて生成されるパル

スである。

## 【0049】

電源電圧生成回路114は、液晶表示装置10の画素マトリクス12、データドライバ14及びゲートドライバ16に供給されるべき各種の電圧を生成してそれらに供給する回路である。

画素マトリクス12を形成するマトリクス基板上の画素マトリクス12の周辺には、データドライバ14及びゲートドライバ16が形成されている。上記マトリクス基板上の全ての画素に対して共通の対向電極が対向基板に配置され、マトリクス基板と対向基板との間に液晶が挿設されている。

## 【0050】

液晶表示装置10の画素マトリクス12は、図1に示すように、縦方向に配置されたデータ線 $D_j$  ( $j$ は1, 2, …,  $n$ のうちの1つ) と横方向に配置されたゲート線 $G_i$  ( $i$ は1, 2, …,  $m$ のうちの1つ) との各交差点に画素 $18_{i,j}$ を配置して成る。画素 $18_{i,j}$ は、画素TFT $22_{i,j}$ 、蓄積容量 $24_{i,j}$ 及び画素電極 $26_{i,j}$ から構成される。画素TFT $22_{i,j}$ は、そのドレインをデータ線 $D_j$ に接続し、かつ、ゲートをゲート線 $G_i$ に接続すると共に、そのソースを画素電極 $26_{i,j}$ 及び蓄積容量 $24_{i,j}$ の一方の電極に接続している。対向電極 $27$ 及び蓄積容量 $24_{i,j}$ の他方の電極には、対向電極電位 $V_{com}$ が給電される。

## 【0051】

データドライバ14は、6本のデータ線（上記ブロック） $B_{(k-1)+1}$ 毎 ( $k$ は1, 2, …,  $P$ のうちの1つ、 $P$ はブロック数、1は1, 2, …, 6のうちの1つ) に、オン／オフ制御信号 $SP_k$ を出力する走査回路32と、オン／オフ制御信号 $SP_k$ によって6個のスイッチが同時にオン／オフする $P$ 個のスイッチアレイ $34_k$ を有するスイッチアレイ $34$ と、12本の映像信号配線（以下、画素信号線という） $S_1$ 乃至 $S_{12}$ とから成る。奇数番目のスイッチアレイの6個のスイッチの入力端子には、12本の画素信号線 $S_1$ 乃至 $S_{12}$ のうちの画素信号線 $S_1$ 乃至 $S_6$ が接続され、偶数番目のスイッチアレイの6個のスイッチの入力端子には、12本の画素信号線 $S_1$ 乃至 $S_{12}$ のうちの画素信号線 $S_7$ 乃至

S 1 2 が接続されている。

いずれの画素信号線も、画素期間対応の映像信号（以下、画素信号という）を供給して来るものであり、1 2 本の画素信号線 S 1 乃至 S 1 2 は、水平期間毎に、その最初の画素信号から最後の画素信号までの画素信号を上記の 2 つのブロック毎に順次供給して来る。

そして、奇数番目のスイッチアレイの 6 個のスイッチの出力端子は、奇数番目のブロックに対応するデータ線の各々に接続され、偶数番目のスイッチアレイの 6 個のスイッチの出力端子は、偶数番目のブロックに対応するデータ線の各々に接続されている。

#### 【0052】

走査回路 3 2 は、図 3 に示すように、シフトレジスタを構成する従属接続された P 個の D 型フリップフロップ回路（以下、D F F という） $36_k$  を有する D F F 回路 3 6 と、波形整形回路 3 8 とから成る。

従属接続された P 個の D F F $36_k$  のうちの第 1 段目の D F F $36_1$  には、スタートパルス D S T P が供給される。スタートパルス D S T P の周期が、画素マトリクスの 1 行分の画素にサブフレームの 1 行分の画素信号を書き込む水平期間となる。

そして、従属接続された P 個の D F F $36_k$  のうちの奇数段目の D F F には、第 1 の制御クロックパルス D C K 1 が供給され、偶数段目の D F F には、第 2 の制御クロックパルス D C K 2 が供給される。

#### 【0053】

波形整形回路 3 8 は、図 3 に示すように、従属接続された P 個の D F F $36_k$  対応に配置される 1 個の NAND 回路 $40_k$  と、NAND 回路 $40_k$  每に従属接続された 3 個のインバータ $42_k$ 、 $44_k$ 、 $46_k$  とから構成される。

奇数番目の NAND 回路 $40_k$  には、第 1 水平デコードパルス D E C 1 が外部駆動回路 1 0 4（図 2）の制御パルス生成回路 1 1 2 から供給され、偶数番目の NAND 回路 $40_k$  には、第 2 水平デコードパルス D E C 2 が外部駆動回路 1 0 4 の制御パルス生成回路 1 1 2 から供給される。

#### 【0054】

上述したように、第1水平デコードパルスDEC1の立ち下りが、次の周期の第1水平クロックパルスの立ち上がりから予め決められた時間 $t_c$ 前に来るよう、第1水平クロックパルスDCK1のタイミングと第1水平デコードパルスDEC1のタイミングとが設定されている。

したがって、第1水平デコードパルスDEC1が高レベルにある時間は、第1水平クロックパルスの周期の時間より予め決められた時間 $t_c$ だけ短い。

#### 【0055】

この第1水平クロックパルスDCK1と第1水平デコードパルスDEC1との関係は、第2水平クロックパルスDCK2と第2水平デコードパルスDEC2との関係にも当て嵌まる。

但し、第1水平デコードパルスDEC1及び第2水平デコードパルスDEC2の立ち上がりは、それぞれ、第1水平クロックパルスDCK1及び第2水平クロックパルスDCK2の立ち上がりによって規定されるので、第1水平デコードパルスDEC1と第2水平デコードパルスDEC2とは、第1水平クロックパルスDCK1及び第2水平クロックパルスDCK2の周期の半周期分のずれがある。

P個のインバータ $46_k$ の出力端子の各々は、対応するスイッチアレイ $34_k$ の制御入力に接続されている。

#### 【0056】

ゲートドライバ16は、従属接続された $2m$ 個の $DF48_{i1}, 48_{i2}$ ( $i$ は、1, 2, …,  $m$ のうちの1つ、 $m$ はゲート線の本数である)と、 $DF48_{i2}$ の出力と $DF48_{(i+1)1}$ の入力との接続点に従属接続された2段のインバータ $50_i, 52_i$ とから構成される。インバータ $52_i$ の出力は、ゲート線 $G_i$ に接続されている。

最初の $DF48_{11}$ には、そのデータ入力にサブフレームのスタートパルス線54が接続され、クロック入力にサブフレームについての第1垂直クロックパルス線56が接続されている。 $DF48_{12}$ のデータ入力に $DF48_{11}$ の出力が接続され、クロック入力にサブフレームについての第2垂直クロックパルス線58が接続されている。

#### 【0057】

以下同様にして、従属接続された奇数番目の DFF48<sub>i</sub>1 (ここでの i は、2, …, m のうちの 1 つ) のデータ入力に前段の DFF48<sub>(i-1)</sub>2 の出力が接続され、クロックには、第 1 の水平クロックパルス線 56 が接続されている。

また、従属接続された偶数番目の DFF48<sub>i</sub>2 (ここでの i は、2, …, m のうちの 1 つ) のデータ入力に前段の DFF48<sub>i</sub>1 の出力が接続され、クロックには、第 2 垂直クロックパルス線 58 が接続されている。

#### 【0058】

次に、図 1 乃至図 7 を参照して、この実施例の動作について説明する。

この実施例においては、1 フレームの画素信号が、相展開／極性反転回路 110 において、所定数、例えば、4 つのサブフレームに分割され、そのサブフレーム毎に、画素信号線 S1 乃至 S12 を経て 2 ブロック分の画素信号が、上述したような時分割形式で供給されて来る。

#### 【0059】

データドライバ 14 の動作が開始されるとき、DFF36<sub>1</sub>, DFF36<sub>2</sub>、…、DFF36<sub>P</sub> は、リセットされてそれらの各出力には低レベルの信号が出力されている。

そのデータドライバ 14 へ制御パルス生成回路 112 からスタートパルス DSTP と、上述したブロックを規定する第 1 水平クロックパルス DCK1 及び第 2 水平クロックパルス DCK2 と、第 1 水平デコードパルス DEC1 及び第 2 デコードパルス DEC2 とが供給されて来る。

また、ゲートドライバ 16 へ制御パルス生成回路 112 からスタートパルス GSTP と、第 1 垂直クロックパルス GCK1 及び第 2 垂直クロックパルス GCK2 とが供給されて来る。

#### 【0060】

スタートパルス DSTP と、第 1 水平クロックパルス DCK1 及び第 2 水平クロックパルス DCK2 と、第 1 水平デコードパルス DEC1 及び第 2 水平デコードパルス DEC2 とが供給されるデータドライバ 14 において、最初の第 1 水平クロックパルス DCK1 の立ち上がりに応答して、スタートパルス DSTP が DFF

$DFF36_1$  にセットされる。これにより、 $DFF36_1$  の出力信号  $SR_1$  は、低レベルから高レベルに遷移する。

#### 【0061】

そして、第2番目の第1水平クロックパルス  $DCK_1$  の立ち上がり（正方向遷移）が  $DFF36_1$  に供給されるときには、スタートパルス  $DSTP$  は低レベルとなっており、 $DFF36_1$  はその低レベルにセットされるから、 $DFF36_1$  の出力信号  $SR_1$  は上記正方向遷移時刻に低レベルとなる。この出力信号  $SR_1$  は、次のスタートパルス  $DSTP$  が来るまで低レベルのままにある。

#### 【0062】

$DFF36_2$  以降の各  $DFF$  についても、同様である。但し、各  $DFF$  のデータ入力には、前段の  $DFF$  の出力信号が供給される。

その各  $DFF$  のうちの  $DFF_{k-1}$ 、 $DFF_k$  及び  $DFF_{k+1}$  からの出力信号を図6の  $SR_{k-1}$ 、 $SR_k$  及び  $SR_{k+1}$  に示してある。図6の  $SR_{k-1}$ 、 $SR_k$  及び  $SR_{k+1}$  は、従属接続された  $k$  個の  $DFF$  のうちの  $(k-1)$  番目の  $DFF36_{k-1}$ 、 $k$  番目の  $DFF36_k$  及び  $(k+1)$  奇数番目の  $DFF36_{k+1}$  の出力信号を表している。

#### 【0063】

$DFF36_1$ 、 $DFF36_2$ 、…、 $DFF36_P$  のうちの奇数番目の  $DFF$  から出力される出力信号  $SR_1$ 、 $SR_3$ 、…は、対応する NAND 回路  $40_1$ 、 $40_3$ 、…において第1水平デコードパルス  $DEC_1$  との論理積が取られ、また、 $DFF36_1$ 、 $DFF36_2$ 、…、 $DFF36_P$  のうちの偶数番目の  $DFF$  から出力される出力信号  $SR_2$ 、 $SR_4$ 、…は、対応する NAND 回路  $40_2$ 、 $40_4$ 、…において第2水平デコードパルス  $DEC_2$  との論理積が取られる。

#### 【0064】

このようにして、NAND回路  $40_1$ 、 $40_2$ 、…、 $40_P$  で論理積を取られて NAND回路  $40_1$ 、 $40_2$ 、…、 $40_P$  から出力された信号は、それぞれ、対応する NAND回路に従属接続された3段のインバータ  $42_k$ 、 $44_k$  及び  $46_k$  を経てインバータ  $46_k$  からオン／オフ制御信号  $SP_k$  として出力される。

第1水平クロックパルス  $DCK_1$  と第1水平デコードパルス  $DEC_1$  とは、上

述したようなタイミング関係に設定されているので、オン／オフ制御信号  $S P_1$ 、 $S P_2$ 、…、 $S P_P$  のうちの奇数番目のオン／オフ制御信号  $S P_1$ 、 $S P_3$ 、…の立ち上がりは、いずれも、図6に示すように、第1水平クロックパルスの立ち上がりと一致しているが、その立ち下りは、いずれも、次の周期の第1水平クロックパルスの立ち上がりから予め決められた時間  $t_c$  前に来ている。

## 【0065】

この関係は、偶数番目のオン／オフ制御信号  $S P_2$ 、 $S P_4$ 、…の立ち上がり及び立ち下りと、第2水平クロックパルスの立ち上がり及び該第2水平クロックパルスの次の第2水平クロックパルスの立ち上がりとの関係にも当て嵌まる。

## 【0066】

このようにして発生されたオン／オフ制御信号  $S P_1$ 、 $S P_2$ 、…、 $S P_P$  は、対応するスイッチアレイ  $34_1$ 、 $34_2$ 、…、 $34_P$  に供給されて当該スイッチアレイの各スイッチをオン／オフさせる。

スイッチアレイ  $34_1$  のスイッチのオンからスイッチアレイ  $34_P$  のスイッチのオフまでの期間が、1サブフレームの1水平期間である。この1水平期間の間、ゲートドライバ16から対応するゲート線にゲートパルスが供給される。そのゲートパルスは、図5では  $G_{i-1}$ 、 $G_i$ 、 $G_{i+1}$  として、また、図7では  $G_1$ 、 $G_2$ 、 $G_3$ 、…、 $G_m$  として示してある。

## 【0067】

次に、ゲートドライバ16の動作について説明する。

ゲートドライバ16の動作が開始されるとき、 $DF48_{11}$ 、 $DF48_{12}$ 、…、 $DF48_{m1}$ 、 $DF48_{m2}$  は、リセットされてそれらの各出力には低レベルの信号が出力されている。

1フレームの画素信号（1画面分の画素信号）の垂直期間を規定する垂直パルス  $VSYNC$  の垂直期間を4分割したスタートパルス  $GSP$  が、制御パルス生成回路112からスタートパルス線54を経て供給されて来る。

また、上述の制御パルス生成回路112から第1垂直クロックパルス線56及び第2垂直クロックパルス線58を経て、第1垂直クロックパルス  $GCK_1$  及び第2垂直クロックパルス  $GCK_2$  が供給されて来る。

## 【006.8】

DF<sub>4</sub>8<sub>11</sub>のデータ入力に入力されたスタートパルスG<sub>S</sub>T<sub>P</sub>は、先ず、第1垂直クロックパルスG<sub>C</sub>K<sub>1</sub>の立ち上がりによってDF<sub>4</sub>8<sub>11</sub>にセットされた後、第2垂直クロックパルスG<sub>C</sub>K<sub>2</sub>によってDF<sub>4</sub>8<sub>12</sub>にセットされる。

スタートパルスG<sub>S</sub>T<sub>P</sub>は、次の第1垂直クロックパルスG<sub>C</sub>K<sub>1</sub>の立ち上がりになるまでに低レベルになるから、DF<sub>4</sub>8<sub>11</sub>がセットされてその出力に発生している高レベルの信号は、次の第1垂直クロックパルスG<sub>C</sub>K<sub>1</sub>の立ち上がりによって低レベルの信号になる。

## 【006.9】

このDF<sub>4</sub>8<sub>11</sub>の出力信号が低レベルになり、次の第2垂直クロックパルスG<sub>C</sub>K<sub>2</sub>の立ち上がりが来たときに、DF<sub>4</sub>8<sub>12</sub>がセットされてその出力に発生している高レベルの信号は、低レベルの信号になる。

この信号レベルが、低レベルから高レベルになり、そして低レベルとなるDF<sub>4</sub>8<sub>12</sub>の出力信号が、インバータ50<sub>1</sub>、52<sub>1</sub>を経て出力されることにより、ゲート線G<sub>1</sub>にサブフレームの第1の水平期間の間高レベルにあるパルスが出力される（図7のG<sub>1</sub>）。

## 【007.0】

DF<sub>4</sub>8<sub>12</sub>の出力信号が低レベルから高レベルになり、そして高レベルから低レベルになる出力信号、すなわち、DF<sub>4</sub>8<sub>12</sub>に取り込まれ、そして出力されるスタートパルスG<sub>S</sub>T<sub>P</sub>は、また、第1垂直クロックパルスG<sub>C</sub>K<sub>1</sub>によってDF<sub>4</sub>8<sub>21</sub>に取り込まれ、そして出力される。その出力されたパルスは、また、第2垂直クロックパルスG<sub>C</sub>K<sub>2</sub>によってDF<sub>4</sub>8<sub>22</sub>に取り込まれ、そして出力される。

DF<sub>4</sub>8<sub>22</sub>から出力されたパルスは、DF<sub>4</sub>8<sub>12</sub>からインバータ50<sub>1</sub>、52<sub>1</sub>を経てゲート線G<sub>1</sub>に第1の水平期間の間高レベルにあるパルスを出力させたと同様にして、インバータ50<sub>2</sub>、52<sub>2</sub>を経てゲート線G<sub>2</sub>に第2の水平期間の間高レベルにあるパルスを出力される（図7のG<sub>2</sub>）。

## 【007.1】

以下同様にして、 $DF48_{i2}$  (ここで  $i$  は、3, 4, …,  $m$  までの1つ) から出力されたパルスは、インバータ  $50_i$ ,  $52_i$  を経てゲート線  $G_i$  に第  $i$  の水平期間の間高レベルにあるパルスとして出力される。

## 【0072】

上述したように、画素信号線  $S_1$  には、最初のサブフレーム (そのサブフレーム期間は  $T_{sf1}$  (図7)) の第1の水平期間内の最初の画素信号、そして該画素信号から  $2n/K$  番目毎の画素信号の順次の供給と、画素信号線  $S_2$  には、サブフレームの第1の水平期間内の第2番目の画素信号、そして該第2番目の画素から  $2n/K$  番目毎の画素信号の順次の供給と、以下同様にして、画素信号線  $S_1$  (ここで  $1$  は、3, 4, …, 12 までの1つ) には、サブフレームの第1の水平期間内の第1番目の画素信号、そして該第1番目の画素信号から  $2n/K$  番目毎の画素信号の順次の供給とが同時に行われると並行して、データドライバ14の走査回路14からは、順次オン／オフ制御線  $46_k$  にオン／オフ制御信号  $SP_k$  が供給され、かつ、ゲートドライバ16からは、ゲート線  $G_1$  に第1の水平期間の間ゲートパルス  $G_1$  が供給されている。

## 【0073】

したがって、ブロック順次駆動を生じさせる第1番目のオン／オフ制御信号  $SP_1$  によってアレイスイッチ  $34_1$  が閉成 (オン) される (アレイスイッチ  $34_1$  を構成する6個のスイッチが同時にオンされる) と、これらの6個のスイッチの各々を経て画素信号線  $S_1$  乃至  $S_6$  を経て同時に供給されて来ているサブフレームを構成する第1の水平期間内の第1の画素信号乃至第6の画素信号が、データ線  $D_1$  乃至  $D_6$  に同時に供給され、アレイスイッチ  $34_1$  が開成 (オフ) されるととき上記第1の画素信号乃至第6の画素信号が対応するデータ線  $D_1$  乃至  $D_6$  にサンプリングされてデータ線  $D_1$  乃至  $D_6$  の浮遊容量に保持される。

データ線  $D_1$  乃至  $D_6$  への同時供給から上記サンプリングが行われるまで、上記第1の画素信号乃至第6の画素信号の同時供給でオンする  $TFT_{2211}$  から  $TFT_{2216}$  までの各  $TFT$  を経て画素電極  $26_{11}$  から画素電極  $26_{16}$  までの各画素電極と、蓄積容量  $24_{11}$  から蓄積容量  $24_{16}$  までの各蓄積容量とに印加され続ける。

## 【0074】

このようにして、データ線D<sub>1</sub>からデータ線D<sub>6</sub>までの各データ線に印加される第1の画素信号乃至第6の画素信号は、図6のS<sub>1</sub>乃至S<sub>6</sub>に示すように、対応画素の表示に実質的に関与しない時間（図5では、t<sub>(k-1)1</sub>、t<sub>k1</sub>等で表してある）の間、液晶表示装置に入力されて来た画素マトリクス12の対向電極27の電位に対して正の極性にある第1の画素信号乃至第6の画素信号の極性とは逆極性の信号である。

しかし、対応画素の表示に実質的に関与する時間（図5では、t<sub>(k-1)2</sub>、t<sub>k2</sub>等で表してある）の間、データ線D<sub>1</sub>からデータ線D<sub>6</sub>までの各データ線に印加される第1の画素信号乃至第6の画素信号の極性は、液晶表示装置に入力されて来た画素マトリクス12の対向電極27の電位に対して正の極性にある第1の画素信号乃至第6の画素信号の極性と同極性である。

## 【0075】

したがって、上述のサンプリングが行われてデータ線D<sub>1</sub>乃至D<sub>6</sub>の浮遊容量に保持される第1の画素信号乃至第6の画素信号の電圧変動成分は、データ線D<sub>1</sub>乃至D<sub>6</sub>のデータ線毎に上記2種類の画素信号の信号期間の割合によって決まる値だけ相殺され、その結果として上記電圧変動量は低減される。

## 【0076】

同様のサンプリングして保持される動作が、ブロック順次駆動の第k番目のオン／オフ制御信号S<sub>Pk</sub>（ここでのkは2、3、…、Pの1つ）によるアレイスイッチ34<sub>k</sub>のオンによって、データ線D<sub>6(k-1)+1</sub>乃至データ線D<sub>6(k-1)+6</sub>に対して生ぜしめられる。

その場合にも、データ線D<sub>6(k-1)+1</sub>乃至データ線D<sub>6(k-1)+6</sub>に印加される画素信号の極性は、対応画素の表示に実質的に関与しない時間（図6では、t<sub>(k-1)1</sub>、t<sub>k1</sub>等で表してある時間）の間は、液晶表示装置に入力されて来た画素マトリクス12の対向電極27の電位に対して正の極性にある対応画素信号の極性とは逆極性である。

## 【0077】

また、データ線D<sub>6(k-1)+1</sub>乃至データ線D<sub>6(k-1)+6</sub>に印加さ

れる画素信号の極性は、対応画素の表示に実質的に関与する時間（図6では、 $t_{(k-1)2}$ 、 $t_{k2}$ 等で表してある時間）の間、液晶表示装置に入力されて来た画素マトリクス12の対向電極27の電位に対して正の極性にある対応画素信号の極性と同極性である。

したがって、上述のサンプリングが行われてデータ線 $D_{6(k-1)+1}$ 乃至データ線 $D_{6(k-1)+6}$ の浮遊容量に保持される6個の画素信号の電圧変動成分は、データ線 $D_{6(k-1)+1}$ 乃至データ線 $D_{6(k-1)+6}$ のデータ線毎に上記2種類の画素信号の信号期間の割合によって決まる値だけ相殺され、その結果として上記電圧変動量は低減される。

#### 【0078】

そして、上記ブロック毎のサンプリングして保持する動作が最後のブロックまで終了して第1の水平期間の終了時刻に、画素電極 $26_{11}$ 乃至画素電極 $26_1$ から画素電極 $26_{1(6(P-1)+1)}$ 乃至画素電極 $26_{1(6(P-1)+6)}$ までの各画素電極及び蓄積容量 $24_{11}$ 乃至蓄積容量 $24_{16}$ から蓄積容量 $24_{1(6(P-1)+1)}$ 乃至蓄積容量 $24_{1(6(P-1)+6)}$ までの各蓄積容量に印加されている対応画素信号が、ゲート線G1に印加されているゲートパルスの立ち下りに応答してサンプリングされて対応画素電極及び蓄積容量に印加保持される。

この印加保持されている各画素信号に対応する表示が対応する画素に生ぜしめられる。

この表示は、次のサブフレーム（そのサブフレーム期間は $T_{sf2}$ （図7））の第1の水平期間が来てその終了時刻に上記と同様のサンプリングが行われるまで継続される。

#### 【0079】

上述した第1の水平期間の動作は、サブフレームを構成する水平期間数だけ繰り返される。

また、フレームを構成する他のサブフレームについても、同様の動作が繰り返される。

それら順次のサブフレームでの駆動は、先行するサブフレームに直続するサブ

フレームではサブフレーム全体の極性が反転させられる従来のフレーム反転駆動と同様のサブフレーム反転駆動で行われる。

なお、上述したサブフレームについて説明を参照すれば理解されると考えられるので、サブフレーム反転駆動の各々についての詳細な説明は省略するが、その理解を助けるため、図7にそのタイミングチャートを示す。

#### 【0080】

このように、この実施例によれば、画素マトリクスを構成する対向電極の電位に対して正の極性の画素信号を用いてのサブフレーム反転駆動において、12相の画素信号を2つのブロックに分け、各ブロック内の6つの画素信号の表示に実質的に関与しない時間の間、対向電極の電位に対して正の極性の画素信号の極性と逆極性の画素信号をデータ線に印加し、上記時間経過後サンプリング時刻まで対向電極の電位に対して正の極性の画素信号をデータ線に印加し、サンプリング時刻に対向電極の電位に対して正の極性の画素信号をサンプリングして対応データ線の浮遊容量に保持させる動作をブロック毎に繰り返すブロック順次駆動を行い、当該水平期間の終了時刻にデータ線に保持されている画素信号をサンプリングして対応画素電極及び蓄積容量に保持することにより各画素を表示している。

#### 【0081】

したがって、画素マトリクスを構成する対向電極の電位に対して正の極性の画素信号を各データ線を経て各画素に書き込む場合に、各データ線上の信号電圧の変動は平均化されて全データ線の電圧変動量は低減される。

したがって、従来のフレーム反転駆動では生じてしまっていた横クロストロークが大幅に低減される。

#### 【0082】

また、上述のように、ブロック単位内の各データ線に画素信号を印加するのに先立って、その逆極性の画素信号の印加が水平期間内に必ず4回対応データ線に行われるから、従来のプリチャージ駆動と同じ効果が別途のプリチャージ期間を取ることなしに得られ、縦クロストロークが大幅に低減される。

#### 【0083】

また、先行するブロックの6つの画素信号のデータ線へのサンプリング時刻より予め決められた時間前に、先行するブロックに直続するブロックの同極性の6つの画素信号のデータ線への印加を行うようにしているから、先行するブロックに直続するブロックに所属するデータ線から該データ線に隣接の先行するブロックに所属するデータ線へ飛び込む信号（ノイズ）を大幅に低減させることができ、縦筋むらの発生を大幅に抑えることができる。

## 【0084】

また、上述の効果の享受と同時に、1フレームを4つのサブフレームに分割して画素マトリクスを駆動しているから、フリッカは看取され難くなる。

加えて、フリッカの発生要因であった画素TFTのリーク電流による電圧低下が、フレーム期間がサブフレーム期間と短くなることに伴って小さくなる。この電圧低下の低減により、フリッカのレベル自体も小さく抑えることができ、相乗的にフリッカの低減化を達成し得る。

## 【0085】

これらの効果を享受しつつ、フレーム反転駆動で得られる開口率の向上も同時に得られる。

## 【0086】

また、1フレームで1回画素信号を画素電極に書き込むようにしていると、画素信号の書き込みにより液晶分子が動き、画素容量に容量変化を生じさせ、液晶層に印加される電界強度の低下を生じさせて液晶の動作速度を低下させてしまう。

しかし、上述のように、1フレームを4つのサブフレームに分割して画素マトリクスを駆動して同じ画素信号を4回同一の画素電極へ書き込むようにしているから、画素容量に容量変化が生じたとしても、不足する電荷の補充が行われ、液晶層に印加される電界強度の低下を防ぎ、液晶の動作速度を向上させ得るという効果も、同時に得られる。

## 【0087】

## ◇第2実施例

図8は、この発明の第2実施例である液晶表示装置へ信号を供給する外部駆動

回路を示す図、また、図9は、同液晶表示装置のデータドライバの詳細なタイミングチャート及び画素マトリクスの対向電極の電位に対して負の極性の画素信号を画素マトリクス内の対応画素に書き込むサブフレームにおけるタイミングチャートである。

#### 【0088】

この実施例の構成が、第1実施例のそれと大きく異なるところは、画素マトリクスの対向電極の電位に対して負の極性の画素信号を画素マトリクス内の対応画素に書き込むようにした点にある。

すなわち、この実施例の液晶表示装置10A（図8には図示せず）は、画素マトリクスをサブフレーム反転駆動するサブフレーム毎の、画素マトリクスのブロック順次駆動において、各データ線へ印加される画素信号を画素マトリクスの対向電極の電位に対して負の極性にして各データ線へ印加するようにして構成される。

外部駆動回路104Aの相展開／極性反転回路110Aが、第1実施例と同様に、1フレームを4つのサブフレームに分割し、そのサブフレーム毎に12相の信号に時分割して出力することは同じである。

#### 【0089】

この時分割された信号形式は、1つの水平期間に所属する各ブロックの前半6相についてはその各々の信号として6個の画素信号を同時に（並行して）出力し、次いで後半6相についてはその各々の信号として次の6個の画素信号を同時に出力する信号であることも、第1実施例と同じである。

#### 【0090】

この6個の画素信号ずつが、1ブロックとして液晶表示装置10Aの画素マトリクス12のデータ線に順次に印加され、サンプリングされて保持されること、及びその或る1つのブロックのデータ線への印加が開始されてから当該ブロックのサンプリングが行われるまでに一定のスイッチオン時間が取られることも、第1実施例と同じである。

このスイッチオン時間内の前方時間の間、並列に出力される上記6個の画素信号が、画素マトリクス12の対向電極27の電位に対して負の極性とされた画素

信号の極性とは逆極性の信号として出力され、続いて上記前方時間経過時刻から上記スイッチオン時間の終了時までの間は、上記負の極性の画素信号として出力されることに、第1実施例との相違がある。

このような信号形式になる12相の画素信号が、相展開／極性反転回路110Aから液晶表示装置10Aへ供給される。

この構成を除くこの実施例の各部の構成は、第1実施例と同一構成であるので、それらの各部には図1及び図2と同一の参照符号を付してその説明を省略する。

#### 【0091】

次に、図8及び図9を参照して、この実施例の動作について説明する。

外部駆動回路104Aの相展開／極性反転回路110Aから画素信号線S1乃至S12に出力される12相の画素信号は、上述したように、画素マトリクス12の対向電極27の電位に対して負の極性の信号となっていることを除いて、第1実施例の画素信号線S1乃至S12上の12相の画素信号と同じである。

また、この実施例におけるデータドライバ14及びゲートドライバ16の動作も、第1実施例と同じである。

#### 【0092】

データドライバ14の走査回路32から出力されるオン／オフ制御信号SP<sub>k</sub>によるスイッチアレイ34<sub>k</sub>のオン／オフで生ぜしめられるブロック順次駆動において、画素信号線S1乃至S12を経て供給されて来る12相の画素信号のうちの半分ずつの画素信号が、順次、ブロック順次駆動上で決まるスイッチアレイ34<sub>k</sub>のオンにより、6本のデータ線D<sub>6(k-1)+1</sub>乃至データ線D<sub>6(k-1)+6</sub>に印加され、そのオフ時にサンプリングされてデータ線D<sub>6(k-1)+1</sub>乃至データ線D<sub>6(k-1)+6</sub>の浮遊容量に保持されることも、第1実施例と同じである。

その場合にも、データ線D<sub>6(k-1)+1</sub>乃至データ線D<sub>6(k-1)+6</sub>に印加される画素信号の極性は、対応画素の表示に実質的に関与しない時間（図8では、t<sub>(k-1)1</sub>、t<sub>k1</sub>等で表してある時間）の間は、画素マトリクス12の対向電極27の電位に対して負の極性の画素信号の極性と逆極性の信号で

ある。

## 【0093】

また、データ線  $D_6(k-1)+1$  乃至データ線  $D_6(k-1)+6$  に印加される画素信号の極性は、対応画素の表示に実質的に関係する時間（図8では、 $t_{(k-1)2}$ 、 $t_{k2}$  等で表してある時間）の間、画素マトリクス12の対向電極27の電位に対して負の極性の画素信号の極性と同極性である。

## 【0094】

したがって、上述のサンプリングが行われてデータ線  $D_6(k-1)+1$  乃至データ線  $D_6(k-1)+6$  の浮遊容量に保持される6個の画素信号の電圧変動成分は、データ線  $D_6(k-1)+1$  乃至データ線  $D_6(k-1)+6$  のデータ線毎に上記2種類の画素信号の信号期間の割合によって決まる値だけ相殺され、その結果としてデータ線  $D_6(k-1)+1$  乃至データ線  $D_6(k-1)+6$  の浮遊容量に保持される6個の画素信号の電圧変動量は低減される。

## 【0095】

そして、ブロック順次駆動が、いずれの水平期間の終了時刻においても、対応するゲートパルスの立ち下りにおいて対応するゲート線が接続されている各画素TFTをオフさせて、すなわち、該各画素TFTのドレインに接続されているデータ線上にある画素信号をサンプリングして対応する画素電極及び蓄積容量に保持して次の水平期間の終了まで表示に供することも、第1実施例と同様である。

この表示は、フレームの各サブフレーム毎に生ぜしめられることも、また、第1実施例と同様である。

## 【0096】

それら順次のサブフレームでの駆動は、先行するサブフレームに直続するサブフレームではサブフレーム全体の極性が反転させられる従来のフレーム反転駆動と同様のサブフレーム反転駆動で行われる。

## 【0097】

このように、この実施例によれば、画素マトリクスを構成する対向電極の電位に対して負の極性の画素信号を印加してのサブフレーム反転駆動において、12相の画素信号を2つのブロックに分け、各ブロック内の6つの画素信号の表示に

実質的に関与しない時間の間、対向電極電位に対して負の極性の画素信号の極性と逆極性の画素信号をデータ線に印加し、上記時間経過後サンプリング時刻まで対向電極の電位に対して負の極性の画素信号をデータ線に印加し、サンプリング時刻に対向電極の電位に対して負の極性の画素信号をサンプリングして対応データ線の浮遊容量に保持させる動作をブロック毎に繰り返すブロック順次駆動を行い、当該水平期間の終了時刻にデータ線に保持されている画素信号をサンプリングして対応画素電極及び蓄積容量に保持させることにより各画素を表示している。

#### 【0098】

したがって、画素マトリクスを構成する対向電極の電位に対して負の極性の画素信号を各データ線を経て各画素に書き込む場合に、各データ線上の信号電圧の変動は平均化されて全データ線の電圧変動量は低減される。

したがって、従来のフレーム反転駆動では生じてしまっていた横クロストロークが大幅に低減される。

#### 【0099】

また、上述のように、ブロック単位内の各データ線に画素信号を印加するのに先立って、その逆極性の画素信号の印加が水平期間内に必ず4回行われるから、従来のプリチャージ駆動と同じ効果が別途のプリチャージ期間を取ることなしに得られ、縦クロストロークが大幅に低減される。

#### 【0100】

また、先行するブロックの6個の画素信号のデータ線へのサンプリング時刻より予め決められた時間前に、先行するブロックに直続するブロックの同極性の6個の画素信号のデータ線への印加を行うようにしているから、先行するブロックに直続するブロックに所属するデータ線から該データ線に隣接の先行するブロックに所属するデータ線へ飛び込む信号（ノイズ）を大幅に低減させることができ、縦筋むらの発生を大幅に抑えることができる。

#### 【0101】

また、フリッカの低減化、開口率の向上、液晶の動作速度の向上についても、第1実施例と同等の効果が得られる。

## 【0102】

## ◇第3実施例

図10は、この発明の第3実施例である液晶表示装置の構成を示す図、図11は、同液晶表示装置へ信号を供給する外部駆動回路を示す図、図12は、同液晶表示装置のデータドライバの構成を示す図、図13は、同液晶表示装置のデータドライバのタイミングチャート、図14は、同液晶表示装置のデータドライバの詳細なタイミングチャート及び画素の対向電極の電位に対して正の極性の画素信号を画素マトリクス内の対応画素に書き込むサブフレームにおけるタイミングチャートである。

## 【0103】

この実施例の構成が、第1実施例のそれと大きく異なるところは、画素マトリクスをサブフレーム反転駆動して行くサブフレーム毎の画素マトリクスのブロック順次駆動を3個のブロック毎に行うようにした点にある。

すなわち、この実施例の液晶表示装置10Bは、外部駆動回路104Bの相展開／極性反転回路110Bからサブフレーム毎に18相の画素信号S1乃至S18を出力させ、データドライバ14Bの走査回路32BからQ個（自然数）のオン／オフ制御信号SP1乃至SPQを出力させ、18相の画素信号S1乃至S18を構成する3つのブロックのうちのブロック毎にブロックに対応するオン／オフ制御信号SP1乃至SPQによってオンされるスイッチアレイの各スイッチを介して画素マトリクス12の対応するデータ線の各々へ当該ブロックの画素信号の各々をサンプリングして対応する画素の各々の表示に供せしめるようにして構成される。

## 【0104】

相展開／極性反転回路110Bは、第1実施例と同様に、1フレームが4つのサブフレームに分割され、そのサブフレーム毎にサブフレームの画素信号が18相のうちの6相ずつをブロックにし、各ブロックの画素信号を時分割形式で出力する。

## 【0105】

相展開／極性反転回路110Bにおいて時分割された信号形式は、18相の第

1番目のブロックの各相に分配される6つの画素信号を同時に（並行して）出力し、次いで第2番目のブロックの各相に分配される6つの画素信号を同時に出力し、次いで第3番目のブロックの各相に分配される6つの画素信号を同時に出力し、これに続く18相の各相に分配される画素信号（18個の画素信号）も順次同様な出力を生ぜしめられ、そのような出力を水平期間の最後の画素信号まで順次続く信号形式である。

なお、上記「次いで」とは、順次のブロックに含まれ、同時に出力される6つの画素信号の信号期間 $t_Q$ の周期開始時刻から第3水平クロックパルスDCK3（後述する）の周期の1/2周期の時間経過した時刻に、該ブロックに直続するブロックに含まれ、同時に出力される6つの画素信号が出力され始める関係をいう。

#### 【0106】

この6つの画素信号ずつが、1ブロックとして液晶表示装置10Bの画素マトリクス12に順次に書き込まれることになるが、その或る1つのブロックの6個の画素信号の対応データ線への印加が開始されてから当該ブロックの6個の画素信号の対応データ線へのサンプリングが行われるまでに一定のスイッチオン時間 $t_{on3}$ が取られる（後述）。

このスイッチオン時間 $t_{on3}$ 内の前方時間の間、並列に出力される上記6つの画素信号は、画素マトリクス12の対向電極27の電位に対して正の極性の画素信号の極性と逆極性の信号として出力され、上記前方時間経過時から上記スイッチオン時間 $t_{on3}$ の終了時までの間は、上記正の極性の画素信号として出力される。

このような信号形式である18相の画素信号が、相展開／極性反転回路110Bから液晶表示装置10Bへ供給される。

#### 【0107】

制御パルス生成回路112Bからは、映像信号の水平同期信号VSYNCに応答して水平期間のスタートパルスDSTP、オン／オフ制御信号の生成に用いる第3クロックパルス（第3水平クロックパルスという）DCK3及び第4クロックパルス（第4水平クロックパルスという）DCK4、オン／オフ制御信号の生

成に用いる第3デコードパルス（第3水平デコードパルスという）DEC3、第4デコードパルス（第4水平デコードパルスという）DEC4及び第5デコードパルス（第5水平デコードパルスという）DEC5と、映像信号の垂直同期信号VSYNCに応答して垂直期間のスタートパルスGSTP、ゲートパルスの生成に用いる第1クロックパルス（第1垂直クロックパルスという）GCK1及び第2クロックパルス（第2垂直クロックパルスという）GCK2が生成されて液晶表示装置10Bへ供給される。

## 【0108】

第3水平クロックパルスDCK3は、 $2T_H/Q + 2$ の時間（ $T_H$ は水平期間の時間である）の周期を有するパルスである。第4水平クロックパルスDCK4は、第3水平クロックパルスDCK3を反転させて生成されるパルスである。

## 【0109】

また、第3水平デコードパルスDEC3は、第3水平クロックパルスDCK3の周期に該周期の1/2周期を足した周期であり、その立ち上がりは、第3水平クロックパルスDCK3の立ち上がりと同一で、立ち上がって高レベルにある時間を上記スイッチオン時間 $t_{on3}$ （その開始時刻は、図6においては $T_{r-1}$ 、 $T_r$ 、 $T_{r+1}$ 等であり、終了時刻は、 $T'_{r-1}$ 、 $T'_r$ 、 $T'_{r+1}$ 等である）とするとき、このスイッチオン時間 $t_{on3}$ の終了時刻から第3水平クロックパルスDCK3の周期終了時刻までの時間 $t_c$ は低レベルにあるパルスである。

第4水平デコードパルスDEC4は、第4水平クロックパルスDCK4の周期に該周期の1/2周期を足した周期であり、その立ち上がりは、第4水平クロックパルスDCK4の立ち上がりと同一で、立ち上がって高レベルにある時間を上記スイッチオン時間 $t_{on3}$ とし、このスイッチオン時間 $t_{on3}$ の終了時刻から第4水平クロックパルスDCK4の周期終了時刻までの時間 $t_c$ は低レベルにあるパルスである。

## 【0110】

第5水平デコードパルスDEC5は、第3水平クロックパルスDCK3の周期に該周期の1/2周期を足した周期であり、その立ち上がりは、第3デコードパ

ルスDEC3の立ち上がりを規定する第3水平クロックパルスDCK3の次の第3水平クロックパルスDCK3の立ち上がりと同一で、立ち上がって高レベルにある時間を上記スイッチオン時間 $t_{on3}$ とするとき、このスイッチオン時間 $t_{on3}$ の終了時刻から上記次の第3水平クロックパルスDCK3の周期終了時刻までの時間 $t_c$ は低レベルにあるパルスである。

## 【0111】

第1垂直クロックパルスGCK1及び第2垂直クロックパルスGCK2は、第1実施例と同様にして生成される。

## 【0112】

データドライバ14Bは、6本のデータ線（上記ブロック）B<sub>(r-1)+1</sub>毎（rは1, 2, …, Qのうちの1つ、Qはブロック数、1は1, 2, …, 6のうちの1つ）に、オン／オフ制御信号SP<sub>r</sub>を出力する走査回路32Bと、オン／オフ制御信号SP<sub>r</sub>によって6個のスイッチが同時にオン／オフするQ個のスイッチアレイ34<sub>r</sub>を有するスイッチアレイ34Bとから成る。

## 【0113】

第1番目のスイッチアレイ34<sub>1</sub>及び第1番目のスイッチアレイ34<sub>1</sub>から数えて3つ目毎のスイッチアレイの6個のスイッチの入力端子には、18本の画素信号線S1乃至S18のうちの画素信号線S1乃至S6が接続され、第2番目のスイッチアレイ34<sub>2</sub>及び第2番目のスイッチアレイ34<sub>2</sub>から数えて3つ目毎のスイッチアレイの6個のスイッチの入力端子には、18本の画素信号線S1乃至S18のうちの画素信号線S7乃至S12が接続され、第3番目のスイッチアレイ34<sub>3</sub>及び第3番目のスイッチアレイ34<sub>3</sub>から数えて3つ目毎のスイッチアレイの6個のスイッチの入力端子には、18本の画素信号線S1乃至S18のうちの画素信号線S13乃至S18が接続されている。

## 【0114】

そして、第1番目のスイッチアレイ34<sub>1</sub>及び第1番目のスイッチアレイ34<sub>1</sub>から数えて3つ目毎のスイッチアレイの6個のスイッチの出力端子には、第1番目のブロック及び第1番目のブロックから数えて3つ目毎のブロックに所属する6本のデータ線に接続され、第2番目のスイッチアレイ34<sub>2</sub>及び第2番目の

スイッチアレイ 34<sub>2</sub> から数えて 3 つ目毎のスイッチアレイの 6 個のスイッチの出力端子には、第 2 番目のブロック及び第 2 番目のブロックから数えて 3 つ目毎のブロックに所属する 6 本のデータ線に接続され、第 3 番目のスイッチアレイ 34<sub>3</sub> 及び第 3 番目のスイッチアレイ 34<sub>3</sub> から数えて 3 つ目毎のスイッチアレイの 6 個のスイッチの出力端子には、第 3 番目のブロック及び第 3 番目のブロックから数えて 3 つ目毎のブロックに所属する 6 本のデータ線に接続されている。

#### 【0115】

走査回路 32B は、図 12 に示すように、シフトレジスタ 36B と、(Q+1) 個のオア回路 37<sub>r</sub> と、波形整形回路 38B とから成る。

シフトレジスタ 36B は、従属接続された (Q+1) 個の D 型フリップフロップ回路（以下、DFF という） 36<sub>r+1</sub> から成る。

オア回路 37<sub>r</sub> の 2 つの入力は、DFF 36<sub>r</sub> 及び DFF 36<sub>r+1</sub> の出力に接続されている。

従属接続された (Q+1) 個の DFF 36<sub>r+1</sub> のうちの第 1 段目の DFF 36<sub>1</sub> には、スタートパルス D S T P が供給される。スタートパルス D S T P の周期は、画素マトリクスの 1 行分の画素の各々にサブフレームの 1 行内の対応する画素信号を書き込む水平期間の時間である。

#### 【0116】

そして、従属接続された (Q+1) 個の DFF 36<sub>r+1</sub> のうちの奇数段目の DFF には、第 3 水平クロックパルス D C K 3 が供給され、偶数段目の DFF には、第 4 水平クロックパルス D C K 4 が供給される。

#### 【0117】

波形整形回路 38B は、図 12 に示すように、Q 個のオア回路 37<sub>r</sub> 対応に配置される 1 個の NAND 回路 41<sub>r</sub> と、NAND 回路 41<sub>r</sub> 每に従属接続された 3 段のインバータ 43<sub>r</sub>、45<sub>r</sub>、47<sub>r</sub> とから構成される。

第 1 番目の NAND 回路 41<sub>1</sub> 及び第 1 番目の NAND 回路 41<sub>1</sub> にから数えて 3 つ目の NAND 回路には、第 3 水平デコードパルス D E C 3 が外部駆動回路 104B（図 11）の制御パルス生成回路 112B から供給され、第 2 番目の NAND 回路 41<sub>2</sub> 及び第 2 番目の NAND 回路 41<sub>2</sub> にから数えて 3 つ目の NAND 回路には

- 、第4水平デコードパルスDEC4が制御パルス生成回路112Bから供給され
- 、第3番目の NAND 回路  $41_3$  及び第3番目の NAND 回路  $41_3$  にから数えて3つ目の NAND 回路には、第5水平デコードパルスDEC5が制御パルス生成回路112Bから供給される。

## 【0118】

上述したように、第3水平デコードパルスDEC3の立ち下りが、次の第3水平クロックパルスDCK3の周期内の立ち下りから予め決められた時間  $t_c$  前に来るよう、第3水平クロックパルスDCK3のタイミングと第3水平デコードパルスDEC3のタイミングとが設定されている。

したがって、第3水平デコードパルスDEC3が高レベルにある時間は、第3水平クロックパルスDCK3の周期に該周期の1／2周期を足した周期の時間より予め決められた時間  $t_c$  だけ短い。

## 【0119】

この第3水平クロックパルスDCK3と第3水平デコードパルスDEC3との関係は、第4水平クロックパルスDCK4と第4水平デコードパルスDEC4との関係及び第3水平クロックパルスDCK3と第5水平デコードパルスDEC5との関係にも当て嵌まる。

但し、第3水平デコードパルスDEC3及び第5水平デコードパルスDEC5と第4水平デコードパルスDEC4との立ち上がりは、それぞれ、第3水平クロックパルスDCK3及び第4水平クロックパルスDCK4の立ち上がりによって規定されるので、第3水平デコードパルスDEC3と、第4水平デコードパルスDEC4と、第5水平デコードパルスDEC5とは、順次、第3水平クロックパルスDCK3及び第4水平クロックパルスDCK4の周期の半周期分のずれがある。

Q個のインバータ  $47_r$  の出力端子の各々は、対応するスイッチアレイ  $35_r$  の制御入力に接続されている。

この構成を除くこの実施例の各部の構成は、第1実施例と同一構成であるので、それらの各部には図1及び図2と同一の参照符号を付してその説明を省略する。

## 【012.0】

次に、図10乃至図14を参照して、この実施例の動作について説明する。

この実施例においては、1フレームの画素信号が、相展開／極性反転回路110Bにおいて、所定数、例えば、4つのサブフレームに分割され、そのサブフレーム毎に、画素信号線S1乃至S18を経て3ブロック分の画素信号が、第3水平クロックパルス又は第4水平クロックパルスの周期の1/2周期の時間ずつ順次された上述の時分割形式で供給されて来る。

## 【012.1】

データドライバ14Bの動作が開始されるとき、 $DF\ F\ 3\ 6_1$ 、 $DF\ F\ 3\ 6_2$ 、…、 $DF\ F\ 3\ 6_{Q+1}$ はリセットされ、それらの各出力には低レベルの信号が出力されている。

そのデータドライバ14Bへ制御パルス生成回路112BからスタートパルスDSTPと、上述したブロックを規定する第3水平クロックパルスDCK3及び第4水平クロックパルスDCK4と、第3水平デコードパルスDEC3、第4水平デコードパルスDEC4及び第5水平デコードパルスDEC5とが供給されて来る。

また、ゲートドライバ16へ制御パルス生成回路112BからスタートパルスGSTPと、第1垂直クロックパルスGCK1及び第2垂直クロックパルスGCK2とが供給されて来る。

## 【012.2】

スタートパルスDSTPと、第3水平クロックパルスDCK3及び第4水平クロックパルスDCK4と、第3水平デコードパルスDEC3、第4水平デコードパルスDEC4及び第5水平デコードパルスDEC5とが供給されるデータドライバ14Bにおいて、最初の第3水平クロックパルスDCK3の立ち上がりに応答して、スタートパルスDSTPが $DF\ F\ 3\ 6_1$ にセットされる。これにより、オア回路37<sub>1</sub>の出力信号SR1は、低レベルから高レベルに遷移する。

## 【012.3】

第1番目の第4水平クロックパルスDCK4の立ち上がりが $DF\ F\ 3\ 6_2$ に供給されたとき、 $DF\ F\ 3\ 6_1$ から出力されている高レベルの信号が、 $DF\ F\ 3\ 6$

$_{_2}$ にセットされる。

【0124】

そして、第2番目の第3水平クロックパルスDCK3の立ち上がり（正方向遷移）がDFF36<sub>1</sub>に供給されるときには、スタートパルスDSTPは低レベルとなっており、DFF36<sub>1</sub>はその低レベルにセットされるから、DFF36<sub>1</sub>の出力信号は上記正方向遷移時刻に低レベルとなる。この出力信号は、次のスタートパルスDSTPが来るまで低レベルのままにある。

【0125】

これと同様に、DFF36<sub>2</sub>についても、第2番目の第4水平クロックパルスDCK4の立ち上がり（正方向遷移）がDFF36<sub>2</sub>に供給されるときには、DFF36<sub>1</sub>の出力信号は低レベルにセットされているから、DFF36<sub>2</sub>の出力信号は上記正方向遷移時刻に低レベルとなる。この出力信号は、次のスタートパルスDSTPが来て上述の順次の動作が生ぜしめられるまで低レベルのままにある。

【0126】

DFF36<sub>3</sub>以降の各DFFについても、同様である。但し、各DFFのデータ入力には、前段のDFFの出力信号が供給される。

その各DFFのうちのDFF<sub>r-1</sub>、DFF<sub>r</sub>及びDFF<sub>r+1</sub>からの出力信号を図14のSR<sub>r-1</sub>、SR<sub>r</sub>及びSR<sub>r+1</sub>に示してある。図14のSR<sub>r-1</sub>、SR<sub>r</sub>及びSR<sub>r+1</sub>は、従属接続された（Q+1）個のDFFのうちの（r-1）番目のDFF36<sub>r-1</sub>、r番目のDFF36<sub>r</sub>及び（r+1）番目のDFF36<sub>r+1</sub>の出力信号を表している。

【0127】

オア回路37<sub>1</sub>及びオア回路37<sub>1</sub>から数えて3つ目のオア回路から出力される出力信号SR<sub>1</sub>、SR<sub>4</sub>、…は、対応する NAND回路40<sub>1</sub>、40<sub>4</sub>、…において第3水平デコードパルスDEC3との論理積が取られ、オア回路37<sub>2</sub>及びオア回路37<sub>2</sub>から数えて3つ目のオア回路から出力される出力信号SR<sub>2</sub>、SR<sub>5</sub>、…は、対応する NAND回路40<sub>2</sub>、40<sub>5</sub>、…において第4水平デコードパルスDEC4との論理積が取られ、そしてオア回路37<sub>3</sub>及びオア回路37<sub>3</sub>

から数えて3つ目のオア回路から出力される出力信号  $S R_3$ 、 $S R_6$ 、…は、対応する NAND 回路  $40_3$ 、 $40_6$ 、…において第5水平デコードパルス  $D E C_5$  との論理積が取られる。

## 【0128】

このようにして、NAND回路  $40_r$  で論理積を取られて NAND回路  $40_r$  から出力された信号は、それぞれ、対応する NAND回路に従属接続された3段のインバータ  $43_r$ 、 $45_r$  及び  $47_r$  を経てインバータ  $47_r$  からオン／オフ制御信号  $S P_r$  として出力される。

第3水平クロックパルス  $D C K_3$  と第3水平デコードパルス  $D E C_3$  とは、上述したようなタイミング関係に設定されているので、オン／オフ制御信号  $S P_1$ 、 $S P_2$ 、…、 $S P_Q$  のうちの第1番目のオン／オフ制御信号  $S P_1$  及び第1番目のオン／オフ制御信号  $S P_1$  から数えて3つ目のオン／オフ制御信号  $S P_4$ 、 $S P_7$ 、…の立ち上がりは、いずれも、図14に示すように、第3水平クロックパルス  $D C K_3$  の立ち上がりと一致しているが、その立ち下りは、いずれも、第3水平クロックパルス  $D C K_3$  の周期に該周期の1／2周期を足した時間経過時刻から予め決められた時間  $t_c$  前に来ている。

## 【0129】

第4水平クロックパルス  $D C K_4$  と第4水平デコードパルス  $D E C_4$  とは、上述したようなタイミング関係に設定されているので、オン／オフ制御信号  $S P_1$ 、 $S P_2$ 、…、 $S P_Q$  のうちの第2番目のオン／オフ制御信号  $S P_2$  及び第2番目のオン／オフ制御信号  $S P_2$  から数えて3つ目のオン／オフ制御信号  $S P_5$ 、 $S P_8$ 、…の立ち上がりは、いずれも、図14に示すように、第4水平クロックパルス  $D C K_4$  の立ち上がりと一致しているが、その立ち下りは、いずれも、第4水平クロックパルス  $D C K_4$  の周期に該周期の1／2周期を足した時間経過時刻から予め決められた時間  $t_c$  前に来ている。

## 【0130】

第3水平クロックパルス  $D C K_3$  と第5水平デコードパルス  $D E C_5$  とは、上述したようなタイミング関係に設定されているので、オン／オフ制御信号  $S P_1$ 、 $S P_2$ 、…、 $S P_Q$  のうちの第3番目のオン／オフ制御信号  $S P_3$  及び第3番

目のオン／オフ制御信号  $S P_3$  から数えて 3 つ目のオン／オフ制御信号  $S P_6$ 、 $S P_9$ 、…の立ち上がりは、いずれも、図 14 に示すように、オン／オフ制御信号  $S P_1$ 、 $S P_4$ 、 $S P_7$ 、…の立ち上がりを規定する第 3 水平クロックパルス  $D C K_3$  の次の第 3 水平クロックパルス  $D C K_3$  の立ち上がりと一致しているが、その立ち下りは、いずれも、上記次の第 3 水平クロックパルス  $D C K_3$  の周期開始時刻から第 3 水平クロックパルス  $D C K_3$  の周期に該周期の 1/2 周期を足した時間経過時刻から予め決められた時間  $t_c$  前に来ている。

## 【0131】

このようにして発生されたオン／オフ制御信号  $S P_1$ 、 $S P_2$ 、…、 $S P_Q$  は、対応するスイッチアレイ  $34_1$ 、 $34_2$ 、…、 $34_Q$  に供給されて当該スイッチアレイの各スイッチをオン／オフさせる。

スイッチアレイ  $34_1$  のスイッチのオンからスイッチアレイ  $34_Q$  のスイッチのオフまでの期間が、1 サブフレームの 1 水平期間である。この 1 水平期間の間、ゲートドライバ 16 から対応するゲート線にゲートパルスが供給される。そのゲートパルスは、図 13 では  $G_{i-1}$ 、 $G_i$ 、 $G_{i+1}$  として示してある（図 7 では  $G_1$ 、 $G_2$ 、 $G_3$ 、…、 $G_m$ ）。

## 【0132】

上述したように、画素信号線  $S_1$  には、サブフレームの第 1 の走査期間内の最初の画素信号、そして該画素信号から  $3n/Q$  番目毎の画素信号の順次の供給と、画素信号線  $S_2$  には、サブフレームの第 1 の走査期間内の第 2 番目の画素信号、そして該第 2 番目の画素信号から  $3n/Q$  番目毎の画素信号の順次の供給と、以下同様にして、画素信号線  $S_1$ （ここでの 1 は、3、4、…、18 までの 1 つ）には、サブフレームの第 1 の走査期間内の第 1 番目の画素信号、そして該第 1 番目の画素信号から  $3n/Q$  番目毎の画素信号の順次の供給とが同時に行われると並行して、データドライバ 14B の走査回路 32B からは、順次オン／オフ制御線  $46_r$  にオン／オフ制御信号  $S P_r$  が供給され、かつ、ゲートドライバ 16 からは、ゲート線  $G_1$  に第 1 の水平期間の間ゲートパルス  $G_1$  が供給されている。

## 【0133】

したがって、オン／オフ制御信号S P<sub>1</sub>によってアレイスイッチ34<sub>1</sub>がオンされる（アレイスイッチ34<sub>1</sub>を構成する6個のスイッチが同時にオンされる）と、これら6個のスイッチの各々を経て画素信号線S<sub>1</sub>乃至S<sub>6</sub>を経て同時に供給されて来ているサブフレームを構成する第1の水平期間内の第1の画素信号乃至第6の画素信号が、データ線D<sub>1</sub>乃至データ線D<sub>6</sub>に同時に供給され、アレイスイッチ34<sub>1</sub>がオフされると第1の画素信号乃至第6の画素信号がサンプリングされてデータ線D<sub>1</sub>乃至データ線D<sub>6</sub>の浮遊容量に保持される。

## 【0134】

このようにして、6本のデータ線D<sub>1</sub>乃至データ線D<sub>6</sub>に印加される第1の画素信号乃至第6の画素信号は、図14のS<sub>1</sub>乃至S<sub>6</sub>に示すように、対応画素の表示に実質的に関与しない時間（図14では、t<sub>(r-1)1</sub>、t<sub>r1</sub>等で表してある）の間、液晶表示装置10Bの画素マトリクス12の共通電極27に対して正の極性の第1の画素信号乃至第6の画素信号の極性と逆極性の信号である。

しかし、対応画素の表示に実質的に関与する時間（図14では、t<sub>(r-1)2</sub>、t<sub>r2</sub>等で表してある）の間、6本のデータ線D<sub>1</sub>乃至データ線D<sub>6</sub>に印加される第1の画素信号乃至第6の画素信号の極性は、液晶表示装置10Bの画素マトリクス12の共通電極27に対して正の極性の第1の画素信号乃至第6の画素信号の極性と同極性である。

## 【0135】

したがって、上述のサンプリングが行われてデータ線D<sub>1</sub>乃至D<sub>6</sub>の浮遊容量に保持される第1の画素信号乃至第6の画素信号の電圧変動成分は、データ線D<sub>1</sub>乃至D<sub>6</sub>のデータ線毎に上記2種類の画素信号の信号期間の割合によって決まる値だけ相殺され、その結果として第1の画素信号乃至第6の画素信号の電圧変動量は低減される。

## 【0136】

そして、アレイスイッチ34<sub>1</sub>のオンと同時にオンするTFT<sub>2211</sub>からTFT<sub>2216</sub>までの各TFTを経て画素電極26<sub>11</sub>から画素電極26<sub>16</sub>までの各画素電極と、蓄積容量24<sub>11</sub>から蓄積容量24<sub>16</sub>までの各蓄積容量とに、それぞれ第1の画素信号乃至第6の画素信号が印加され、そして上記サンプリ

ングでデータ線D<sub>1</sub>乃至D<sub>6</sub>の浮遊容量に保持された第1の画素信号乃至第6の画素信号が、対応する画素電極2<sub>6</sub><sub>1</sub><sub>1</sub>から画素電極2<sub>6</sub><sub>1</sub><sub>6</sub>及び蓄積容量2<sub>4</sub><sub>1</sub><sub>1</sub>から蓄積容量2<sub>4</sub><sub>1</sub><sub>6</sub>にゲートパルスG<sub>1</sub>の立ち下りまで印加され続ける。

## 【0137】

同様のサンプリングして保持される動作が、第1の水平期間中のブロック順次駆動における第r番目のオン／オフ制御信号S<sub>P</sub><sub>r</sub>（ここでのrは2, 3, …, Pの1つ）によるアレイスイッチ3<sub>4</sub><sub>r</sub>のオンによって、データ線D<sub>6</sub>(r-1)+1至データ線D<sub>6</sub>(r-1)+6に対して生ぜしめられる。

## 【0138】

その場合にも、データ線D<sub>6</sub>(r-1)+1乃至データ線D<sub>6</sub>(r-1)+6に印加される画素信号の極性は、対応画素の表示に実質的に関与しない時間（図14では、t<sub>(r-1)1</sub>、t<sub>r1</sub>等で表してある時間）の間は、液晶表示装置10Bの画素マトリクス12の共通電極27に対して正の極性の対応画素信号の極性と逆極性の信号である。

## 【0139】

また、データ線D<sub>6</sub>(r-1)+1乃至データ線D<sub>6</sub>(r-1)+6に印加される画素信号の極性は、対応画素の表示に実質的に関与する時間（図14では、t<sub>(r-1)2</sub>、t<sub>r2</sub>等で表してある時間）の間、液晶表示装置10Bの画素マトリクス12の共通電極27に対して正の極性の対応画素信号の極性と同極性である。

したがって、上述のサンプリングが行われてデータ線D<sub>6</sub>(r-1)+1乃至データ線D<sub>6</sub>(r-1)+6の浮遊容量に保持される6個の画素信号の電圧変動成分は、データ線D<sub>6</sub>(r-1)+1乃至データ線D<sub>6</sub>(r-1)+6のデータ線毎に上記2種類の画素信号の信号期間の割合によって決まる値だけ相殺され、その結果としてデータ線D<sub>6</sub>(r-1)+1乃至データ線D<sub>6</sub>(r-1)+6の浮遊容量に保持されている6個の画素信号の電圧変動量は低減される。

## 【0140】

そして、上記ブロック毎のサンプリングして保持する動作が最後のブロックまで終了して第1の水平期間の終了時刻に、画素電極2<sub>6</sub><sub>1</sub><sub>1</sub>乃至画素電極2<sub>6</sub><sub>1</sub>

6 から画素電極  $2^6 1 (6 (r-1) + 1)$  乃至画素電極  $2^6 1 (6 (r-1) + 6)$  までの各画素電極と蓄積容量  $2^4 1 1$  乃至蓄積容量  $2^4 1 6$  から蓄積容量  $2^4 1 (6 (Q-1) + 1)$  乃至蓄積容量  $2^4 1 (6 (Q-1) + 6)$  までの各蓄積容量とに印加されている対応画素信号が、ゲート線 G 1 に印加されているゲートパルスの立ち下りに応答してサンプリングされて対応画素電極及び蓄積容量に保持される。

この保持されている各画素信号に対応する表示が対応する画素に生ぜしめられる。

このような保持と表示とは、次のサブフレームの第 1 の水平期間が来てその終了時刻に上記と同様のサンプリングが行われるまで継続される。

#### 【0141】

上述した第 1 の水平期間の動作は、サブフレームを構成する水平期間数だけ繰り返される。

また、フレームを構成する他のサブフレームについても、同様の動作が繰り返される。

それら順次のサブフレームでの駆動は、先行するサブフレームに直続するサブフレームではサブフレーム全体の極性が反転させられる従来のフレーム反転駆動と同様のサブフレーム反転駆動で行われる。

#### 【0142】

このように、この実施例によれば、画素マトリクスを構成する対向電極の電位に対して正の極性の画素信号を印加してのサブフレーム反転駆動において、18相の画素信号を3つのブロックに分け、各ブロック内の6つの画素信号の表示に実質的に関与しない時間の間、対向電極の電位に対して正の極性の画素信号の極性と逆極性の画素信号をデータ線に印加し、上記時間経過後サンプリング時刻まで対向電極の電位に対して正の極性の画素信号をデータ線に印加し、サンプリング時刻に対向電極の電位に対して正の極性の画素信号をサンプリングして対応データ線の浮遊容量に保持させる動作をブロック毎に繰り返すブロック順次駆動を行い、当該水平期間の終了時刻にデータ線に保持されている画素信号をサンプリングして対応画素電極及び蓄積容量に保持させることにより各画素を表示してい

る。 . . . .

#### 【0143】

したがって、画素マトリクスを構成する対向電極の電位に対して正の極性の画素信号を各データ線を経て各画素に書き込む場合に、各データ線上の信号電圧の変動は平均化されて全データ線の電圧変動量は低減される。

したがって、従来のフレーム反転駆動では生じてしまっていた横クロストロークが大幅に低減される。

#### 【0144】

また、上述のように、ブロック単位内の各データ線に画素信号を印加するのに先立って、その逆極性の画素信号の印加が水平期間内に必ず4回行われるから、従来のプリチャージ駆動と同じ効果がプリチャージの期間を別途取ることなしに得られ、縦クロストロークが大幅に低減される。

#### 【0145】

また、先行するブロックの6つの画素信号の対応データ線へのサンプリング時刻より予め決められた時間前に、先行するブロックに直続するブロックの同極性の6つの画素信号の対応データ線への印加を行うようにしているから、先行するブロックに直続するブロックに所属するデータ線から該データ線に隣接の先行するブロックに所属するデータ線へ飛び込む信号（ノイズ）を大幅に低減させることができ、縦筋むらの発生を大幅に抑えることができる。

#### 【0146】

また、これらの効果の享受と同時に、1フレームを4つのサブフレームに分割して画素マトリクスを駆動しているから、フリッカは看取され難くなる。

加えて、フリッカの発生要因であった画素TFTのリーク電流による電圧低下が、フレーム期間がサブフレーム期間と短くなることに伴って小さくなる。この電圧低下の低減により、フリッカのレベル自体も小さく抑えることができ、相乗的にフリッカの低減化を達成し得る。

#### 【0147】

これらの効果を享受しつつ、フレーム反転駆動で得られる開口率の向上も同時に達成し得る。

## 【014.8】

また、1フレームで1回画素信号を画素電極に書き込むようにしていると、画素信号の書き込みにより液晶分子が動き、画素容量に容量変化を生じさせ、液晶層に印加される電界強度の低下を生じさせて液晶の動作速度を低下させてしまう。

しかし、上述のように、1フレームを4つのサブフレームに分割して画素マトリクスを駆動して同じ画素信号を4回同一の画素電極へ書き込むようにしているから、画素容量に容量変化が生じたとしても、不足する電荷の補充が行われ、液晶層に印加される電界強度の低下を防ぎ、液晶の動作速度を向上させ得るという効果も同時得られる。

## 【014.9】

## ◇第4実施例

図15は、この発明の第4実施例である液晶表示装置へ信号を供給する外部駆動回路を示す図、また、図16は、同液晶表示装置のデータドライバの詳細なタイミングチャート及び画素マトリクスの対向電極の電位に対して負の極性の画素信号を画素マトリクス内の対応画素に書き込むサブフレームにおけるタイミングチャートである。

## 【015.0】

この実施例の構成が、第3実施例のそれと大きく異なるところは、画素マトリクスの対向電極の電位に対して負の極性の画素信号を画素マトリクス内の対応画素に書き込むようにした点にある。

すなわち、この実施例の液晶表示装置10C（図15には図示せず）は、画素マトリクスをサブフレーム反転駆動するサブフレーム毎の、画素マトリクスのブロック順次駆動において、各データ線へ印加される画素信号を画素マトリクスの対向電極の電位に対して負の極性にして各データ線へ印加するようにして構成される。

外部駆動回路104Cの相展開／極性反転回路110Cが、第3実施例と同様に、1フレームを4つのサブフレームに分割し、そのサブフレーム毎に18相の18個の画素信号に3つのブロックに分け、各ブロックを時分割して出力するこ

とは同じである。

## 【0151】

このような時分割された信号形式は、18相の3分割される第1番目のブロック及び第1番目のブロックから数えて3つ目毎のブロックについては1水平期間内の第1番目の画素信号乃至第6番目の画素信号、第19番目の画素信号乃至第24番目の画素信号、…を同時に（並行して）順次出力し、次いで第2番目のブロック及び第2番目のブロックから数えて3つ目毎のブロックについては1水平期間内の第7番目の画素信号乃至第12番目の画素信号、第25番目の画素信号乃至第30番目の画素信号、…を同時に（並行して）順次出力し、次いで第3番目のブロック及び第3番目のブロックから数えて3つ目毎のブロックについては1水平期間内の第13番目の画素信号乃至第18番目の画素信号、第31番目の画素信号乃至第36番目の画素信号、…を同時に（並行して）順次出力する信号であることも、第3実施例と同じである。

## 【0152】

この6個の画素信号ずつが、1ブロックとして液晶表示装置10Cの画素マトリクス12に順次に書き込まれること、及びその或る1つのブロックの6個の画素信号を対応するデータ線に印加し始めてから当該ブロックの6個の画素信号の対応データ線へのサンプリング時刻まで一定のスイッチオン時間の間スイッチアレイがオンされることも、第1実施例と同じである。

このスイッチオン時間内の前方時間の間、並列に出力される上記6個の画素信号が、画素マトリクスの対向電極電位に対して負の極性とされた画素信号の極性と逆極性の信号として出力され、続いて上記前方時間経過時から上記スイッチオン時間の終了時刻までの間は、上記負の極性の画素信号として出力されることに、第3実施例との相違がある。

このような信号形式になる18相の画素信号が、相展開／極性反転回路110Cから液晶表示装置10Cへ供給される。

この構成を除くこの実施例の各部の構成は、第1実施例と同一構成であるので、それらの各部には図10及び図11と同一の参照符号を付してその説明を省略する。

## 【015.3】

次に、図15及び図16を参照して、この実施例の動作について説明する。

外部制御回路104Cの相展開／極性反転回路110Cから画素信号線S1乃至S18に出力される18相の画素信号は、上述したように、画素マトリクスの対向電極の電位に対して負の極性の信号となっていることを除いて、第3実施例の画素信号線S1乃至S18上の18相の画素信号と同じである。

また、この実施例におけるデータドライバ14B及びゲートドライバ16の動作も、第3実施例と同じである。

## 【015.4】

データドライバ14Bの走査回路32Bから出力されるオン／オフ制御信号S<sub>P<sub>r</sub></sub>によるアレイスイッチ34<sub>r</sub>のオンによって、6本の対応する画素信号線上の画素信号が、6本の対応するデータ線D<sub>6(r-1)+1</sub>乃至データ線D<sub>6(r-1)+6</sub>に印加された後、サンプリングされてデータ線D<sub>6(r-1)+1</sub>乃至データ線D<sub>6(r-1)+6</sub>の浮遊容量に保持され、そして6個の対応する画素電極26<sub>i(6(r-1)+1)</sub>乃至画素電極26<sub>i(6(r-1)+6)</sub>及び蓄積容量24<sub>i(6(r-1)+1)</sub>乃至蓄積容量24<sub>i(6(r-1)+6)</sub>に印加されることも、第3実施例と同じである。

その場合にも、データ線D<sub>6(r-1)+1</sub>乃至データ線D<sub>6(r-1)+6</sub>に印加される画素信号の極性は、対応画素の表示に実質的に関与しない時間（図16では、t<sub>(r-1)1</sub>、t<sub>r1</sub>等で表してある時間）の間は、画素マトリクス12の対向電極27の電位に対して負の極性の対応画素信号の極性とは逆極性の信号である。

## 【015.5】

また、データ線D<sub>6(r-1)+1</sub>乃至データ線D<sub>6(r-1)+6</sub>に印加される画素信号の極性は、対応画素の表示に実質的に関与する時間（図16では、t<sub>(r-1)2</sub>、t<sub>r2</sub>等で表してある時間）の間、画素マトリクス12の対向電極27の電位に対して負の極性の画素信号の極性と同極性である。

## 【015.6】

したがって、上述のサンプリングが行われてデータ線D<sub>6(r-1)+1</sub>乃至

データ線  $D_6(r-1)+6$  の浮遊容量に保持される 6 個の画素信号の電圧変動成分は、データ線  $D_6(r-1)+1$  乃至データ線  $D_6(r-1)+6$  のデータ線毎に上記 2 種類の画素信号の信号期間の割合によって決まる値だけ相殺され、その結果としてデータ線  $D_6(r-1)+1$  乃至データ線  $D_6(r-1)+6$  の浮遊容量に保持される 6 個の画素信号の電圧変動量は低減される。

## 【0157】

そして、上記ブロック毎のサンプリングして保持する動作が最後のブロックまで終了して第 1 の水平期間の終了時刻に、画素電極  $26_{11}$  乃至画素電極  $26_1$  から画素電極  $26_1(6(Q-1)+1)$  乃至画素電極  $26_1(6(Q-1)+6)$  までの各画素電極と蓄積容量  $24_{11}$  乃至蓄積容量  $24_{16}$  から蓄積容量  $24_1(6(Q-1)+1)$  乃至蓄積容量  $24_1(6(Q-1)+6)$  までの各蓄積容量とに印加されている対応画素信号が、ゲート線 G1 に印加されているゲートパルスの立ち下りに応答してサンプリングされて対応画素電極及び蓄積容量に保持され、保持されている各画素信号に対応する表示が対応する画素に生ぜしめられることも、第 3 実施例と同じである。

## 【0158】

このような保持と表示とが、次のサブフレームの第 1 の水平期間が来てその終了時刻に上記と同様のサンプリングが行われるまで継続されること、上述した第 1 の水平期間の動作が、サブフレームを構成する水平期間数だけ繰り返されること、また、フレームを構成する他のサブフレームについても、同様の動作が繰り返されること、それら順次のサブフレームでの駆動が、先行するサブフレームに直続するサブフレームではサブフレーム全体の極性が反転させられる従来のフレーム反転駆動と同様のサブフレーム反転駆動で行われることも、第 3 実施例と同様である。

## 【0159】

このように、この実施例によれば、画素マトリクスを構成する対向電極の電位に対して負の極性の画素信号を印加してのサブフレーム反転駆動において、18 相の画素信号を 3 つのブロックに分け、各ブロック内の 6 つの画素信号の表示に実質的に関与しない時間の間、対向電極電位に対して負の極性の画素信号の極性

と逆極性の画素信号をデータ線に印加し、上記時間経過後サンプリング時刻まで対向電極の電位に対して負の極性の画素信号をデータ線に印加し、サンプリング時刻に対向電極の電位に対して負の極性の画素信号をサンプリングして対応データ線の浮遊容量に保持させる動作をブロック毎に繰り返すブロック順次駆動を行い、当該水平期間の終了時刻にデータ線に保持されている画素信号をサンプリングして対応画素電極及び蓄積容量に保持させることにより各画素を表示している。

#### 【0160】

したがって、画素マトリクスを構成する対向電極の電位に対して負の極性の画素信号を各データ線を経て各画素に書き込む場合に、各データ線上の信号電圧の変動は平均化されて全データ線の電圧変動量は低減される。

したがって、従来のフレーム反転駆動では生じてしまっていた横クロストロークが大幅に低減される。

#### 【0161】

また、上述のように、ブロック単位内の各データ線に画素信号を印加するのに先立って、その逆極性の画素信号の印加が水平期間内に必ず4回行われるから、従来のプリチャージ駆動と同じ効果が別途のプリチャージ期間を取ることなしに得られ、縦クロストロークが大幅に低減される。

#### 【0162】

また、先行するブロックの6つの画素信号の対応データ線へのサンプリング時刻より予め決められた時間前に、先行するブロックに直続するブロックの同極性の6つの画素信号の対応データ線への印加を行うようにしているから、先行するブロックに直続するブロックに所属するデータ線から該データ線に隣接の先行するブロックに所属するデータ線へ飛び込む信号（ノイズ）を大幅に低減させることができ、縦筋むらの発生を大幅に抑えることができる。

#### 【0163】

また、フリッカの低減化、開口率の向上、液晶の動作速度の向上についても、第3実施例と同等の効果が得られる。

#### 【0164】

以上、この発明の実施例を、図面を参照して詳述してきたが、この発明の具体的な構成は、これらの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもそれらはこの発明に含まれる。

例えば、上記のいずれの実施例も、2個又は3個のブロックの先行するブロックに属する6個の画素信号のデータ線への印加が終了するよりも予め決められた時間前から該先行するブロックに直続するブロックに属する6個の画素信号のデータ線への印加を開始する駆動を2個又は3個のブロックずつ順次に繰り返して画素マトリクスの各画素に所定の表示を生じさせることについて説明しているが、ブロック数を他の個数にし、かつ、画素信号の個数を同数又は他の個数にしてこの発明を実施することができる。

#### 【0165】

画素信号線から対応データ線にサンプリング時刻まで継続印加される画素信号の極性と逆極性の画素信号の信号期間と元の極性の画素信号の信号期間との割合は、当該対応データ線における画素信号の変動が平均化されて変動平均値が画素の表示に与える量を低減し得る程度によって決まる。

#### 【0166】

また、第1の画素信号線を経て供給される画素信号の極性と逆極性の画素信号と元の極性の画素信号とを第1の画素信号線から第1のデータ線へ先行して印加した後、先行した第1の画素信号線から第1のデータ線への上記印加に直続して行われる第2の画素信号線から第2のデータ線への印加は、先行して第1のデータ線に印加されている上記画素信号をサンプリングして第1のデータ線の浮遊容量に保持する時刻よりも上記第2のデータ線から上記第1のデータ線へノイズを伝達させるのを防止し得るに十分な時間だけ前に行うようにして、この発明を実施することができる。

#### 【0167】

また、上記この発明を画素信号線から対応データ線に画素信号の極性とは逆極性の画素信号と元の極性の画素信号とを印加し、これら両画素信号を対応データ線へサンプリングして保持することにより、画素信号の変動が平均化され、当該画素の表示に有益となる画素マトリクスの駆動にも適用し得る。

また、上記いずれの実施例においても、2回のサンプリングをして画素信号を対応画素に書き込む例について説明したが、1回のサンプリングをして画素信号を対応画素に書き込む液晶表示装置にこの発明を適用して実施することもできる。

#### 【0168】

また、1フレームを4つのサブフレームに分割する例について説明したが、1フレームのサブフレームへの分割数は、適宜の数にして実施し得ることは、言うまでもない。

#### 【0169】

##### 【発明の効果】

以上説明したように、この発明の構成によれば、画素マトリクスを構成する対向電極の電位に対して正又は負の極性の画素信号を用いてのサブフレーム反転駆動において、所定数の相の画素信号を所定数のブロックに分け、各ブロック内の所定数の画素信号の表示に実質的に関与しない時間の間、対向電極の電位に対して正又は負の極性の画素信号の極性と逆極性の画素信号をデータ線に印加し、上記時間経過後サンプリング時刻まで対向電極の電位に対して正又は負の極性の画素信号をデータ線に印加し、サンプリング時刻に対向電極の電位に対して正又は負の極性の画素信号をサンプリングして対応データ線の浮遊容量に保持させる動作をブロック毎に繰り返すブロック順次駆動を行い、データ線に保持されている画素信号を対応画素電極及び蓄積容量に保持させることにより各画素を表示している。

#### 【0170】

したがって、画素マトリクスを構成する対向電極の電位に対して正又は負の極性の画素信号を各データ線を経て各画素に書き込む場合に、各データ線上の信号電圧の変動は平均化されて全データ線の電圧変動量は低減される。

したがって、従来のフレーム反転駆動では生じてしまっていた横クロストロークが大幅に低減される。

#### 【0171】

また、上述のように、ブロック単位内の各データ線に画素信号を印加するのに

先立って、その逆極性の画素信号の印加が水平期間内に対応データ線に必ず所定回行われるから、従来のプリチャージ駆動と同じ効果が別途のプリチャージ期間を取ることなしに得られ、縦クロストロークが大幅に低減される。

#### 【0172】

また、先行するブロックの所定数の画素信号のデータ線へのサンプリング時刻より予め決められた時間前に、先行するブロックに直続するブロックの同極性の上記所定数の画素信号のデータ線への印加を行うようにしているから、先行するブロックに直続するブロックに所属するデータ線から該データ線に隣接の先行するブロックに所属するデータ線へ飛び込む信号（ノイズ）を大幅に低減させることができ、縦筋むらの発生を大幅に抑えることができる。

#### 【0173】

また、上述の効果の享受と同時に、1フレームを所定数のサブフレームに分割して画素マトリクスを駆動しているから、フリッカは看取され難くなる。

加えて、フリッカの発生要因であった画素TFTのリーク電流による電圧低下が、フレーム期間がサブフレーム期間と短くなることに伴って小さくなる。この電圧低下の低減により、フリッカのレベル自体も小さく抑えることができ、相乗的にフリッカの低減化を達成し得る。

#### 【0174】

これらの効果を享受しつつ、フレーム反転駆動で得られる開口率の向上も同時に得られる。

#### 【0175】

1フレームを所定数のサブフレームに分割して画素マトリクスを駆動して同じ画素信号を所定回同一の画素電極へ書き込むようにしているから、画素容量に容量変化が生じたとしても、不足する電荷の補充が行われ、液晶層に印加される電界強度の低下を防ぎ、液晶の動作速度を向上させ得るという効果も、同時に得られる。

#### 【図面の簡単な説明】

##### 【図1】

図1は、この発明の第1実施例である液晶表示装置の構成を示す図である。

【図2】

同液晶表示装置へ信号を供給する外部駆動回路を示す図である。

【図3】

同液晶表示装置のデータドライバの構成を示す図である。

【図4】

同液晶表示装置のゲートドライバの構成を示す図である。

【図5】

同液晶表示装置のデータドライバのタイミングチャートである。

【図6】

同液晶表示装置のデータドライバの詳細なタイミングチャート及び対向電極の電位に対して正の極性の画素信号を画素マトリクスへ供給するタイミングチャートである。

【図7】

同液晶表示装置のゲートドライバのタイミングチャート及びサブフレーム毎の画素信号の極性を示すタイミングチャートである。

【図8】

この発明の第2実施例である液晶表示装置へ信号を供給する外部駆動回路を示す図である。

【図9】

同液晶表示装置のデータドライバの詳細なタイミングチャート及び対向電極の電位に対して負の極性の画素信号を画素マトリクスへ供給するタイミングチャートである。

【図10】

この発明の第3実施例である液晶表示装置の構成を示す図である。

【図11】

同液晶表示装置へ信号を供給する外部駆動回路を示す図である。

【図12】

同液晶表示装置のデータドライバの構成を示す図である。

【図13】

同液晶表示装置のデータドライバのタイミングチャートである。

【図14】

同液晶表示装置のデータドライバの詳細なタイミングチャートである。

【図15】

この発明の第4実施例である液晶表示装置へ信号を供給する外部駆動回路を示す図である。

【図16】

同液晶表示装置のデータドライバの詳細なタイミングチャートである。

【図17】

従来の液晶表示装置の構成を示す図である。

【図18】

同液晶表示装置のデータドライバの詳細なタイミングチャート及び対向電極の電位に対して正の極性の画素信号を画素マトリクスへ供給するタイミングチャートである。

【図19】

同液晶表示装置のデータドライバの詳細なタイミングチャート及び対向電極の電位に対して負の極性の画素信号を画素マトリクスへ供給するタイミングチャートである。

【符号の説明】

10、10A、10B、10C 液晶表示装置

12 画素マトリクス

14、14B データドライバ（サンプリング手段）

16 ゲートドライバ（印加手段の一部）

18<sub>i j</sub> 画素

32 走査回路（サンプリング手段の一部）

34<sub>k</sub>、34<sub>r</sub> スイッチアレイ（サンプリング手段の一部）

S1乃至S18 画素信号線（画素信号供給手段の一部）

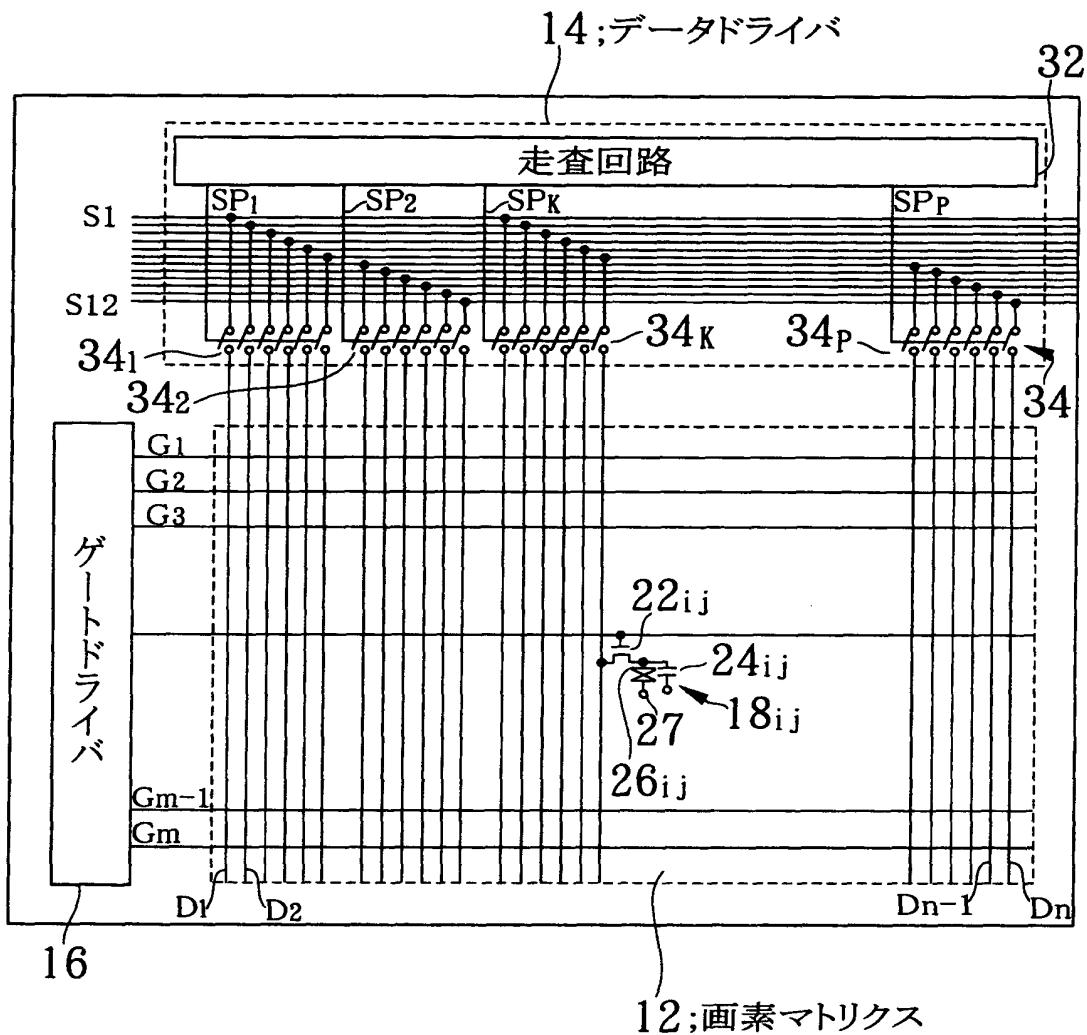
110、110B 相展開／極性反転回路（画素信号供給手段の残部）

112、112B 制御パルス生成回路（サンプリング手段の残部、印加

手段の残部)

【書類名】 図面

【図1】



【図2】

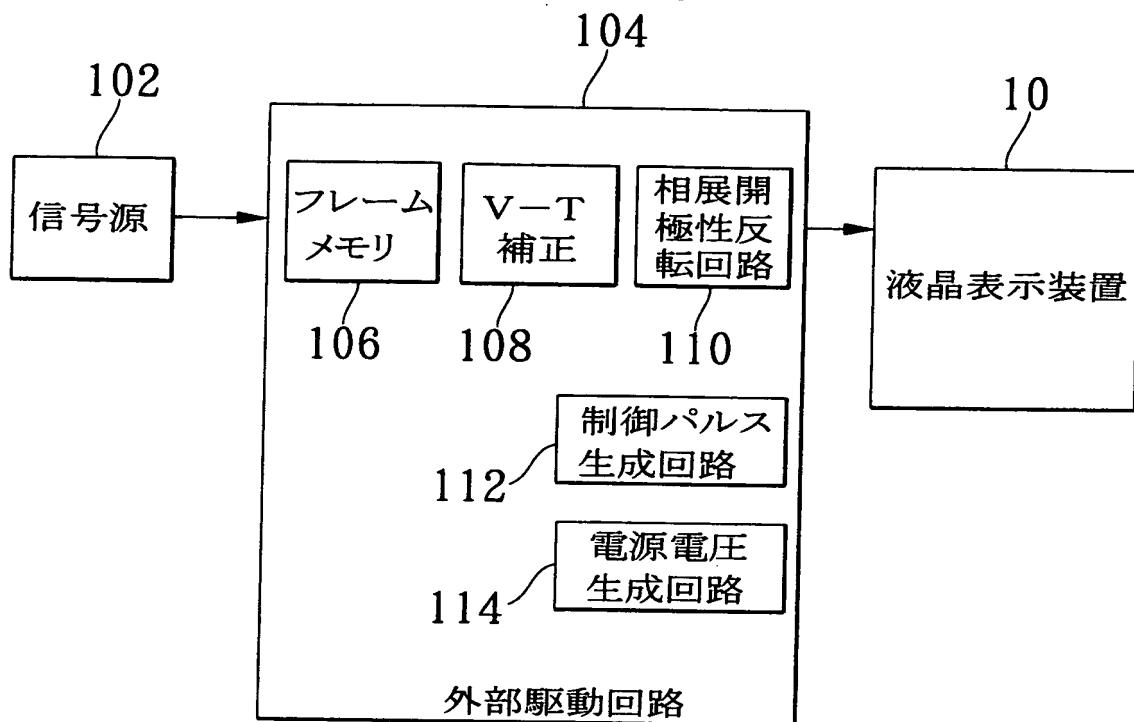
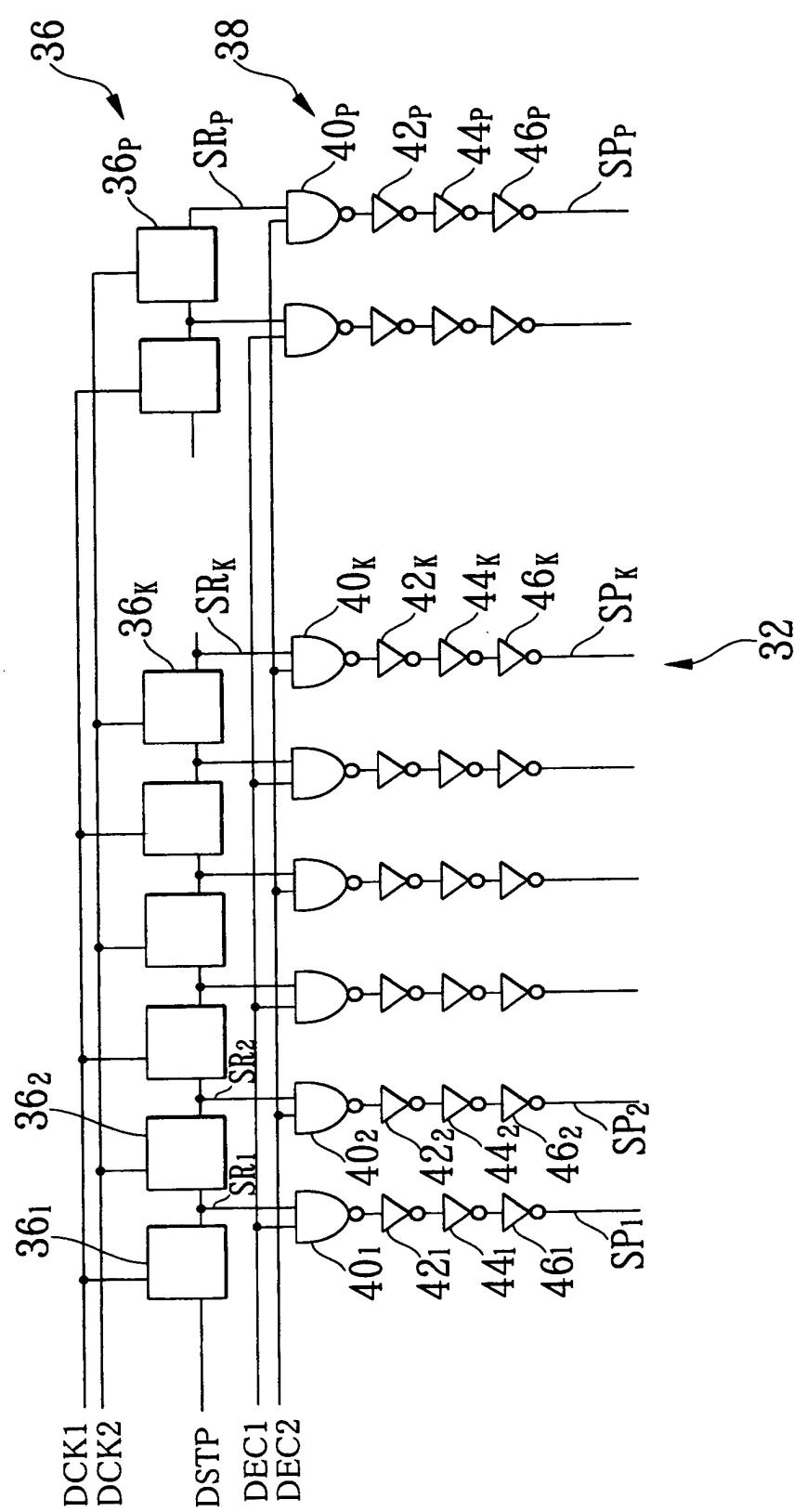
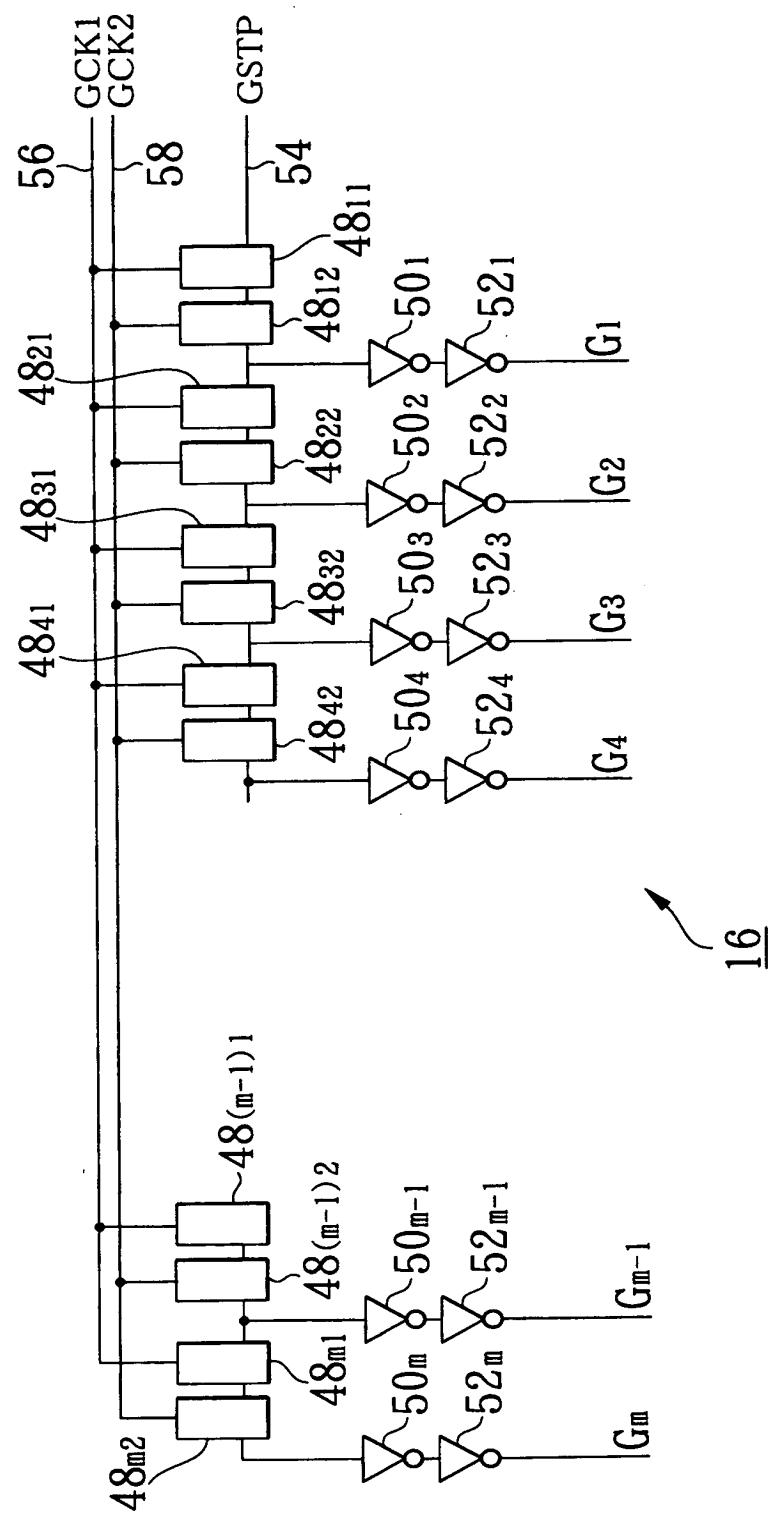


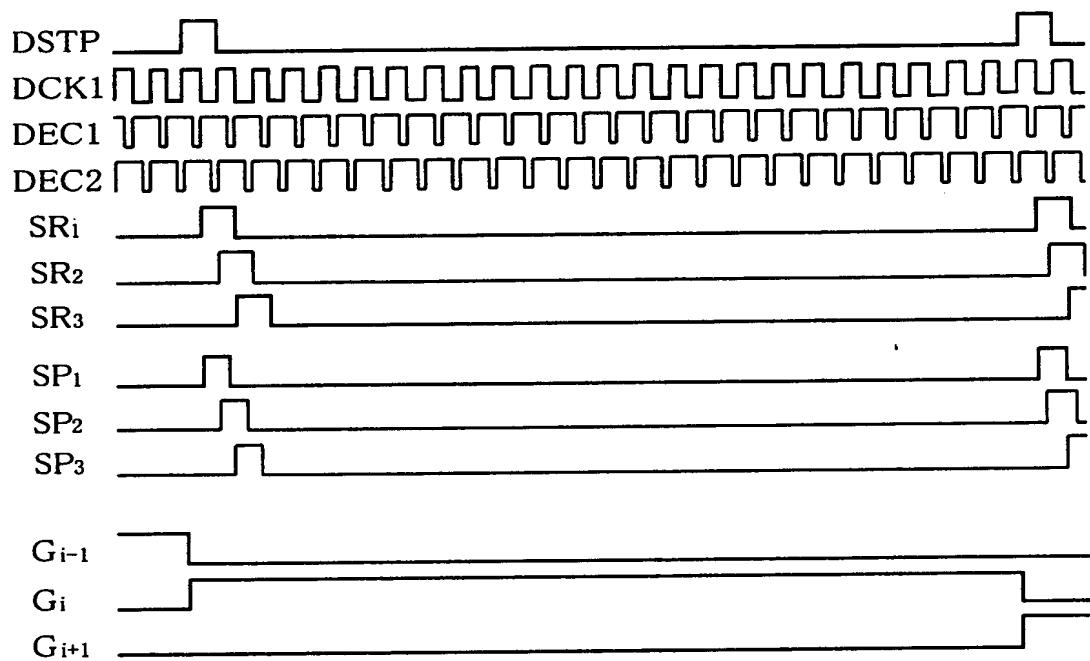
図3



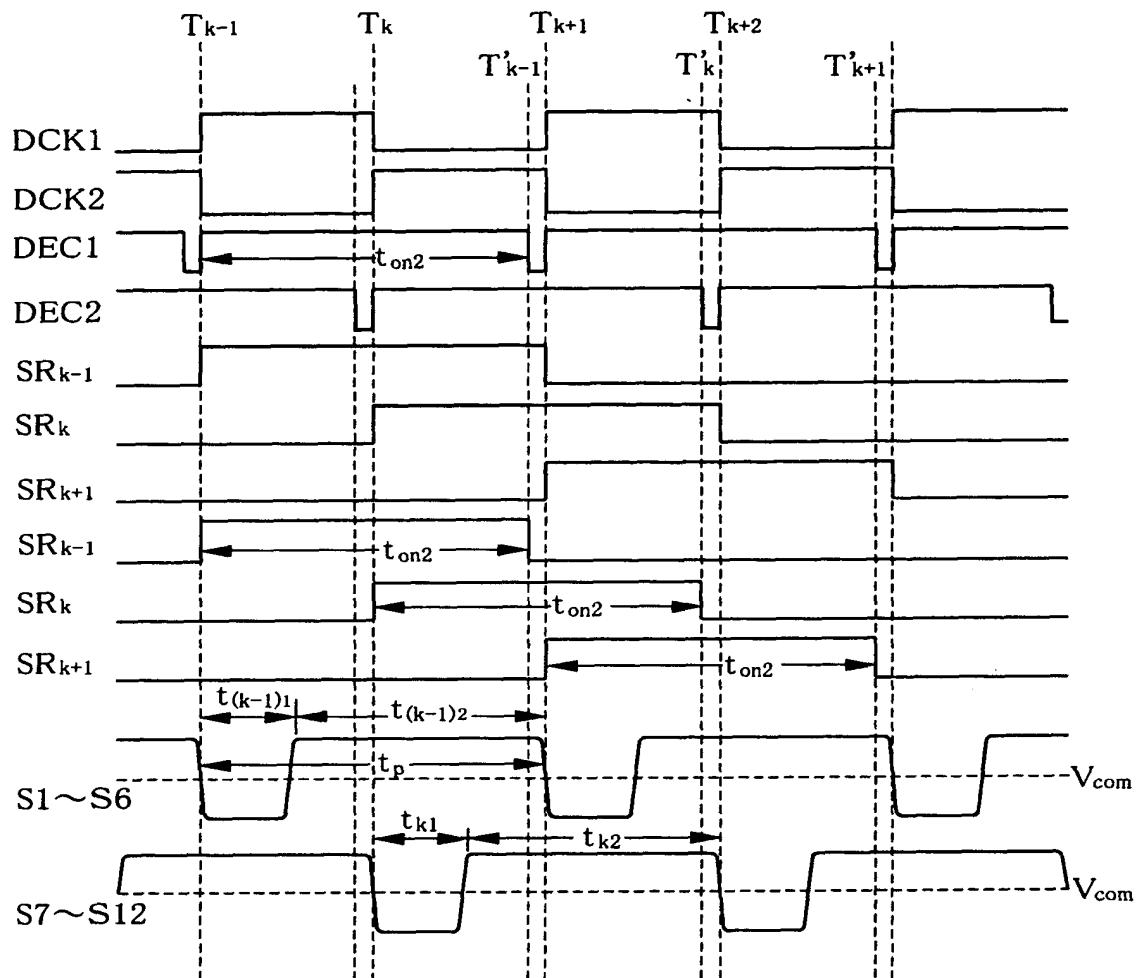
【図4】



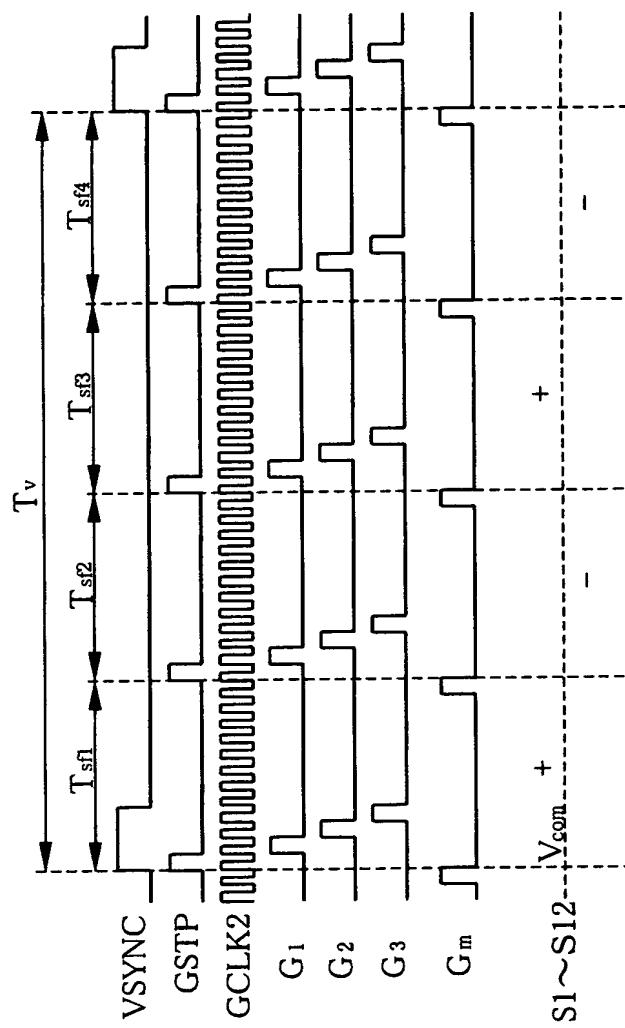
【図5】



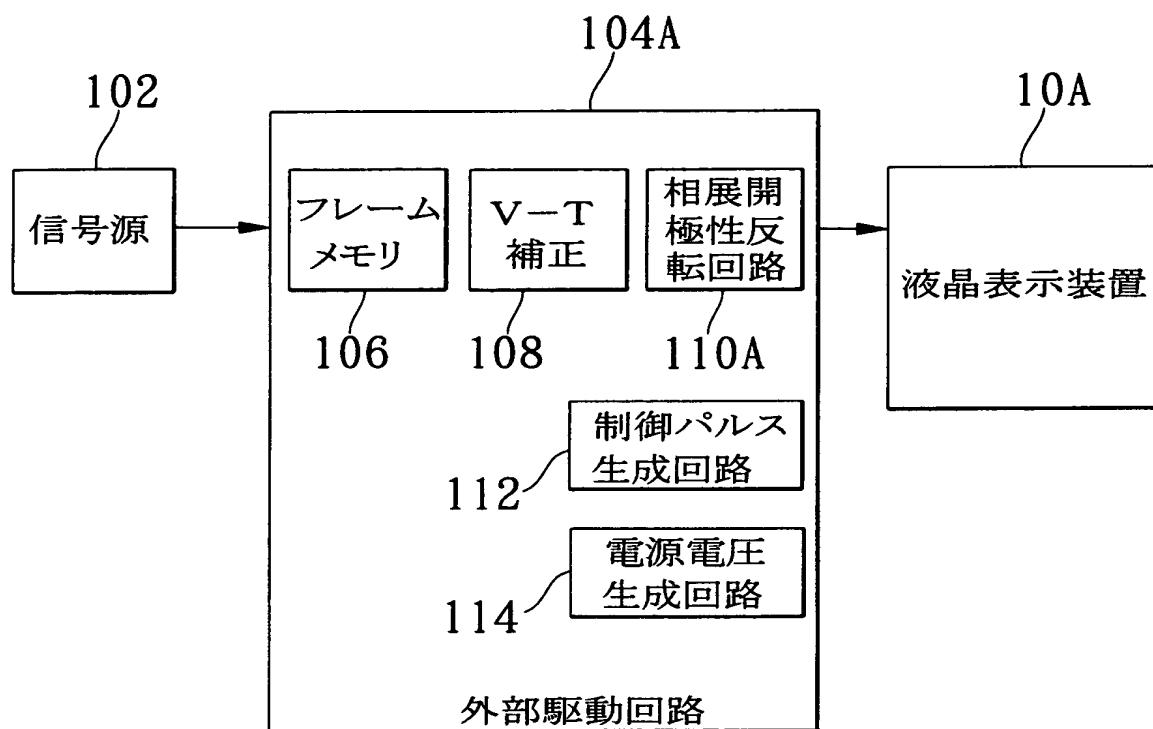
【図6】



〔図7〕



〔図8〕



【図9】

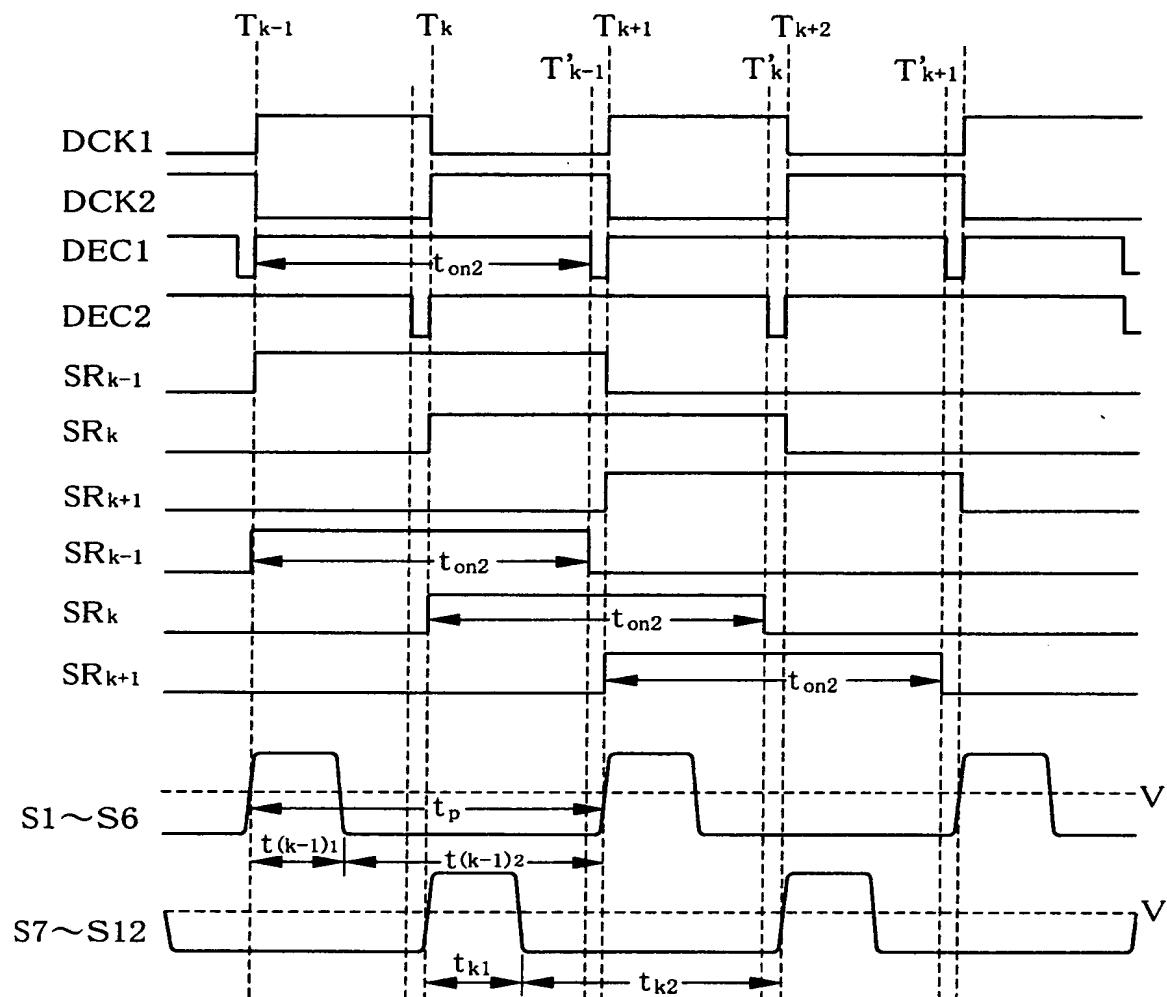
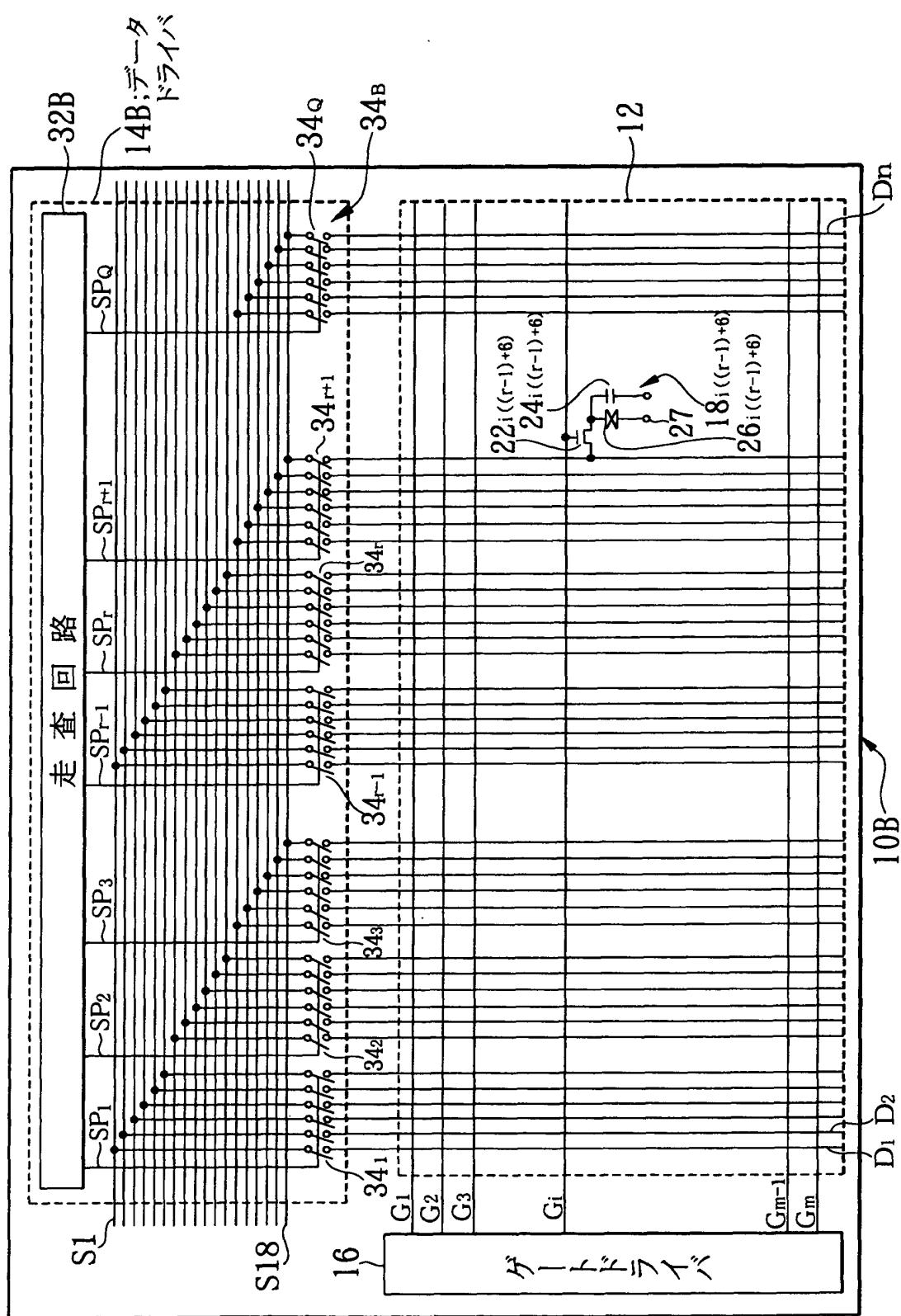
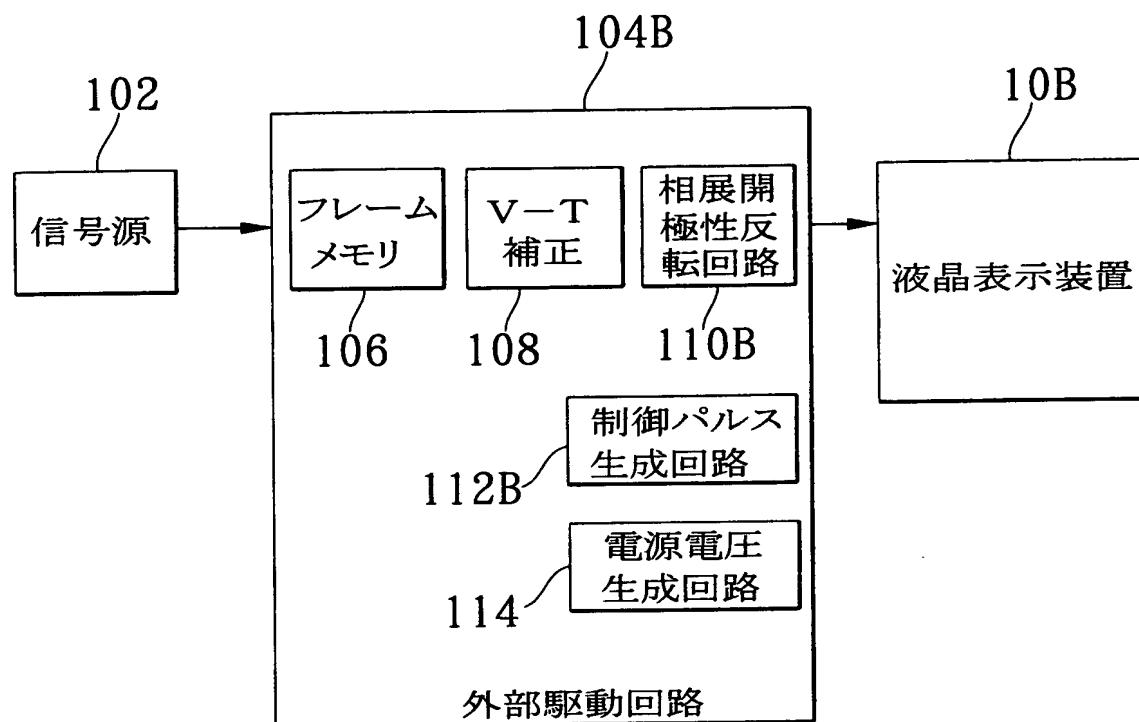


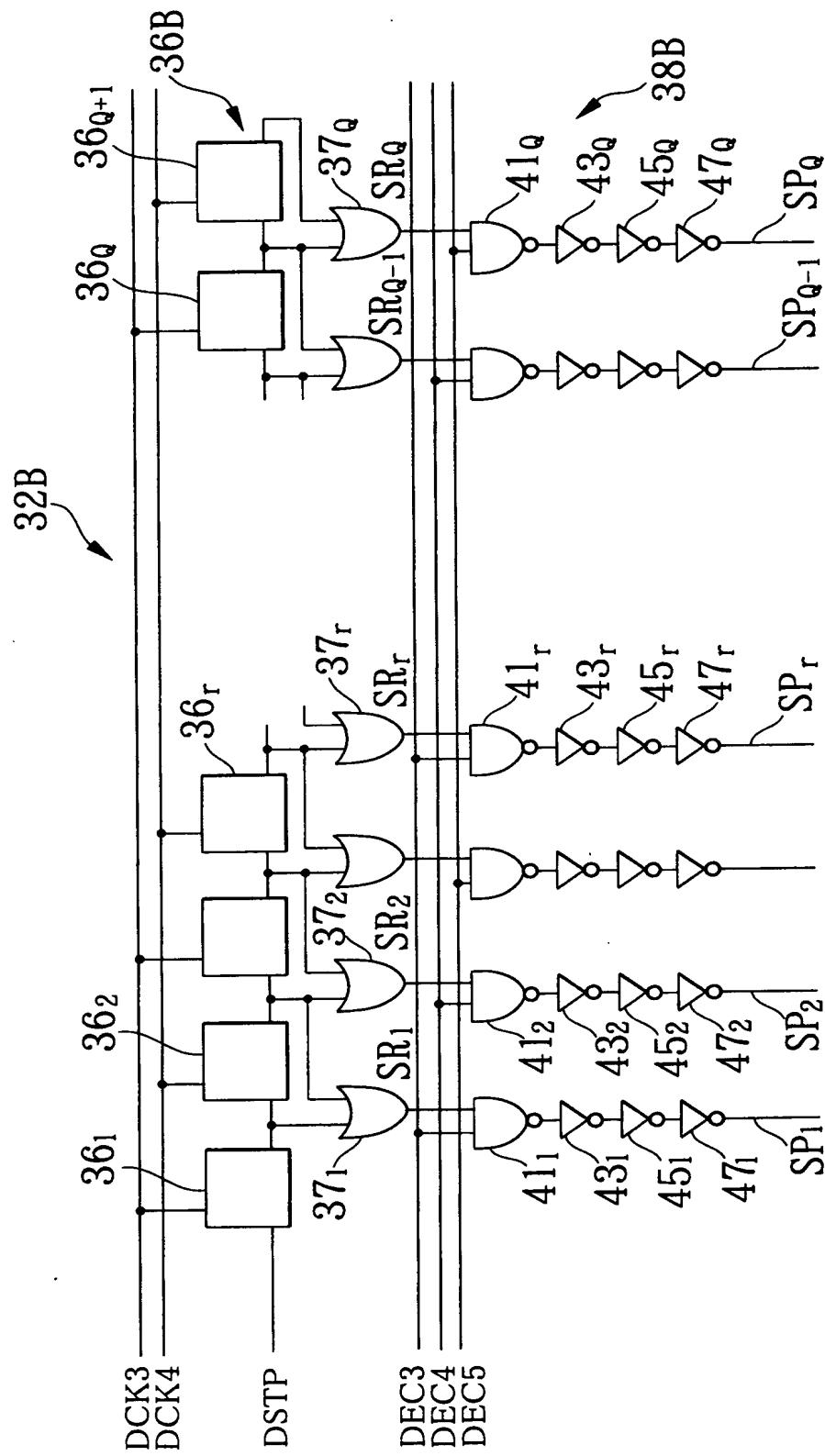
図10



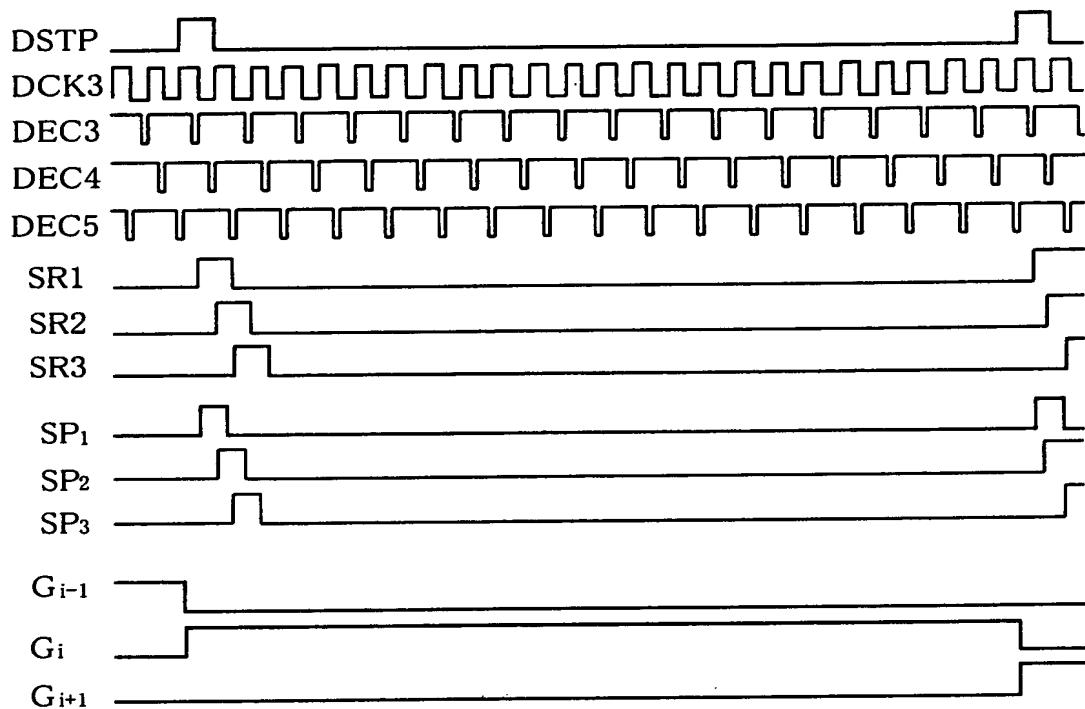
【図11】



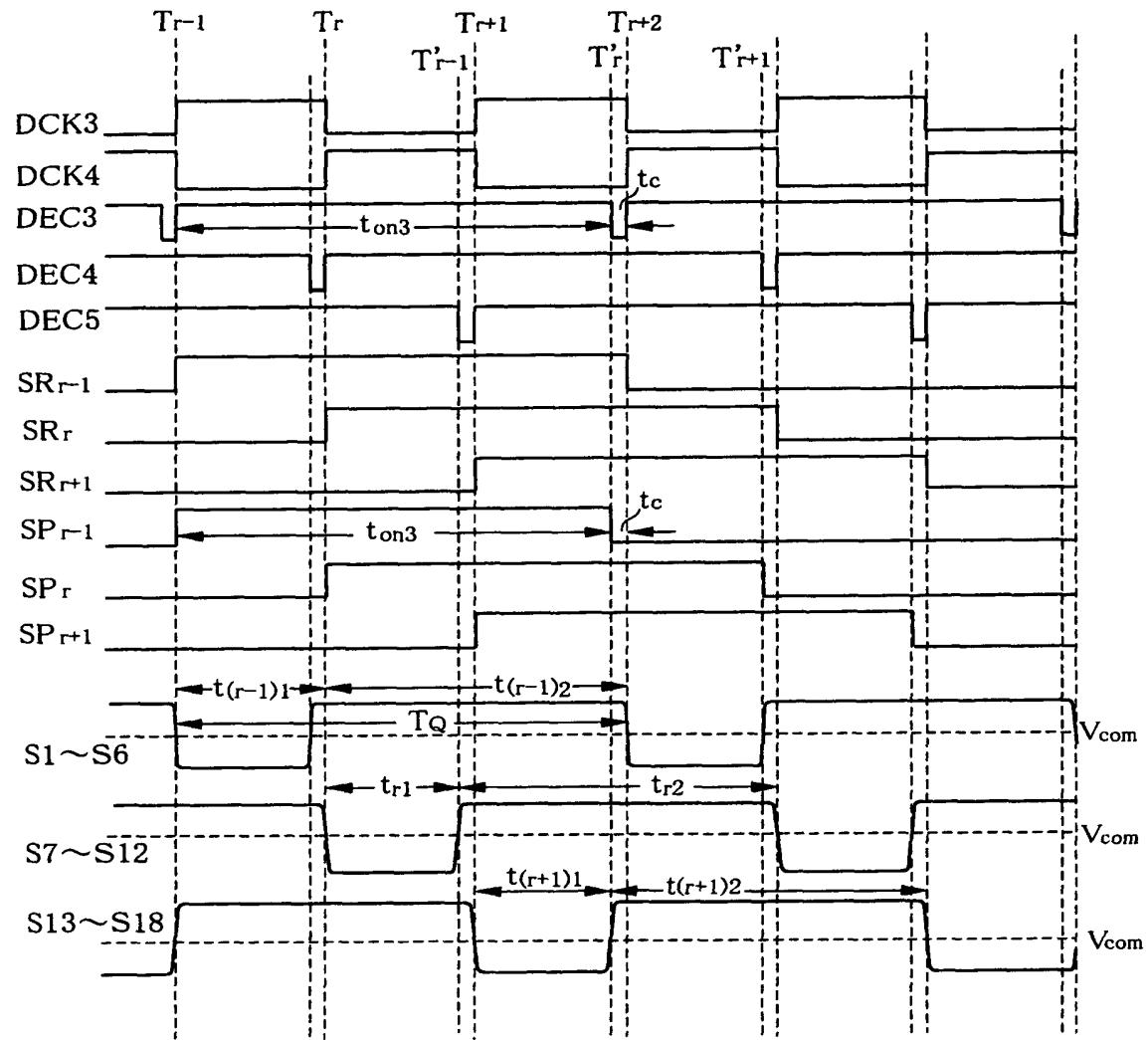
【図12】



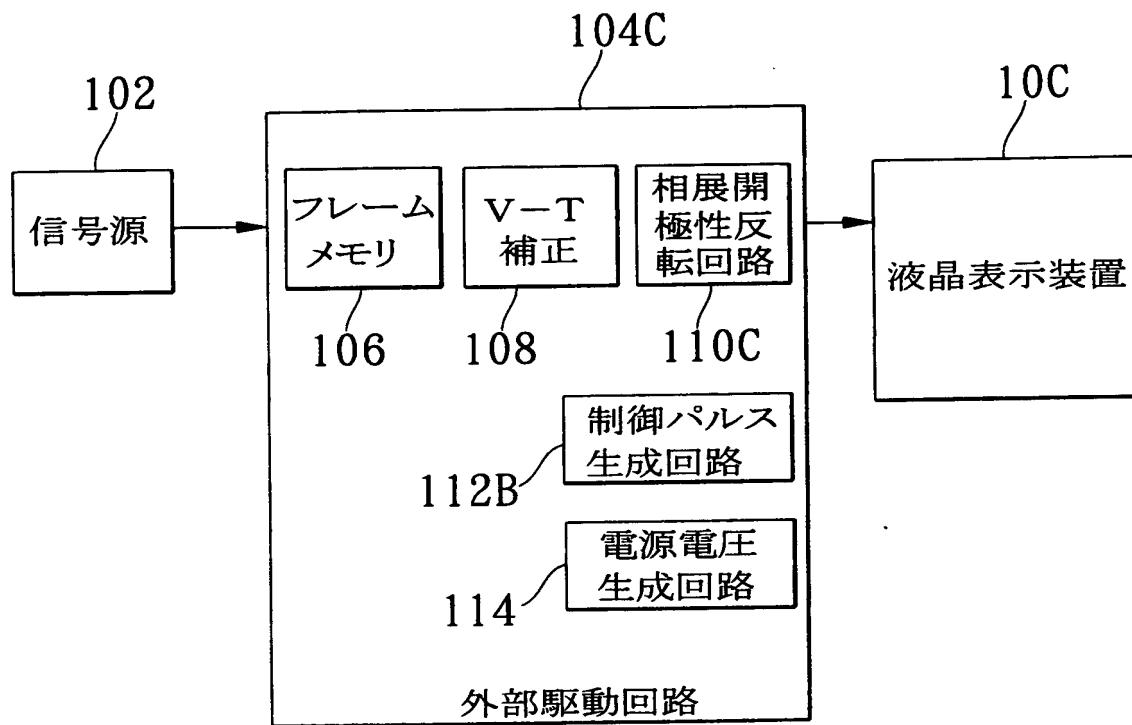
【図13】



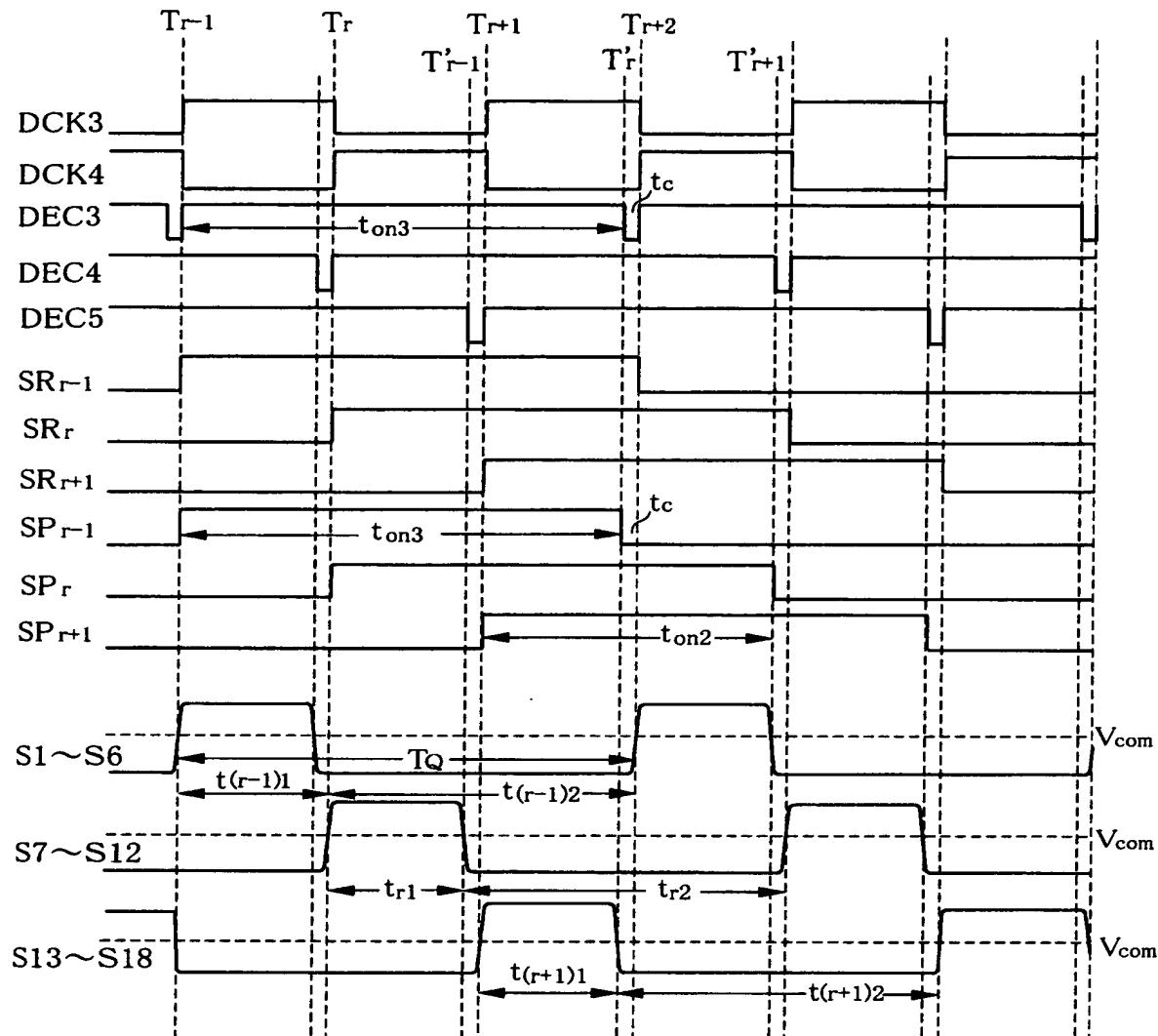
〔図14〕



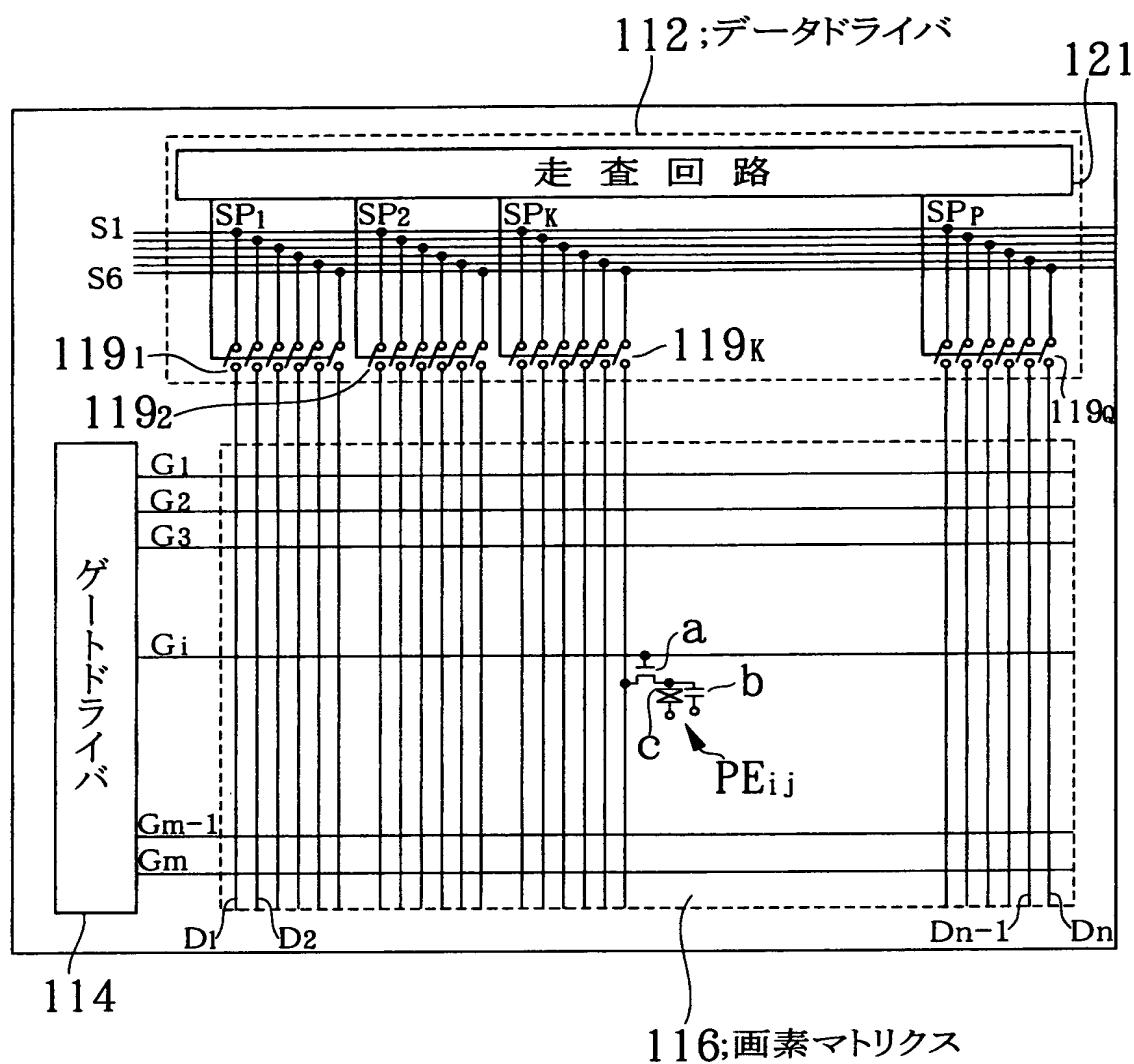
【図15】



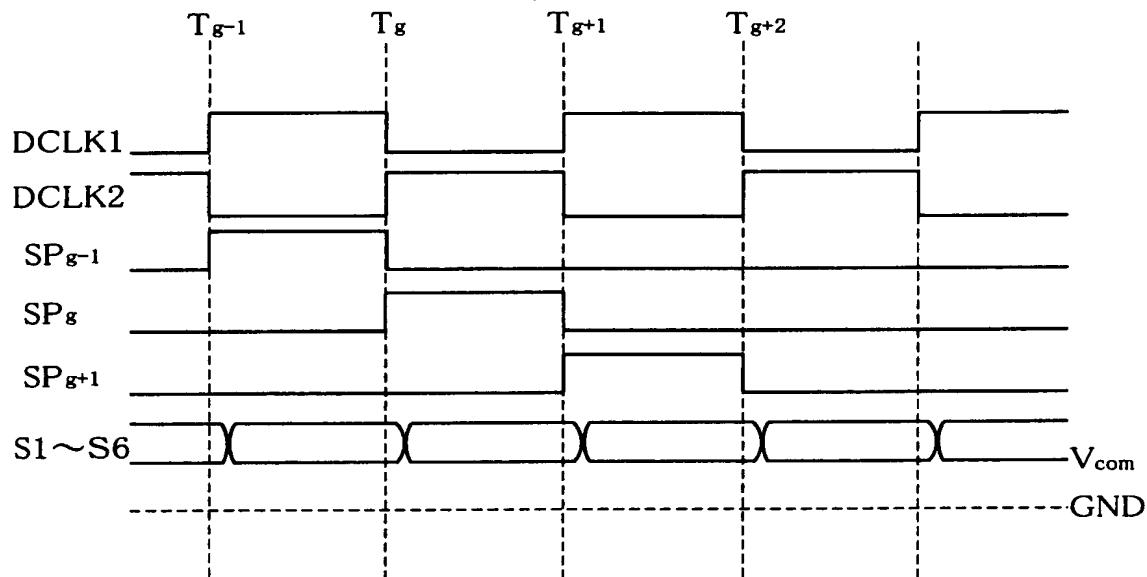
【図16】



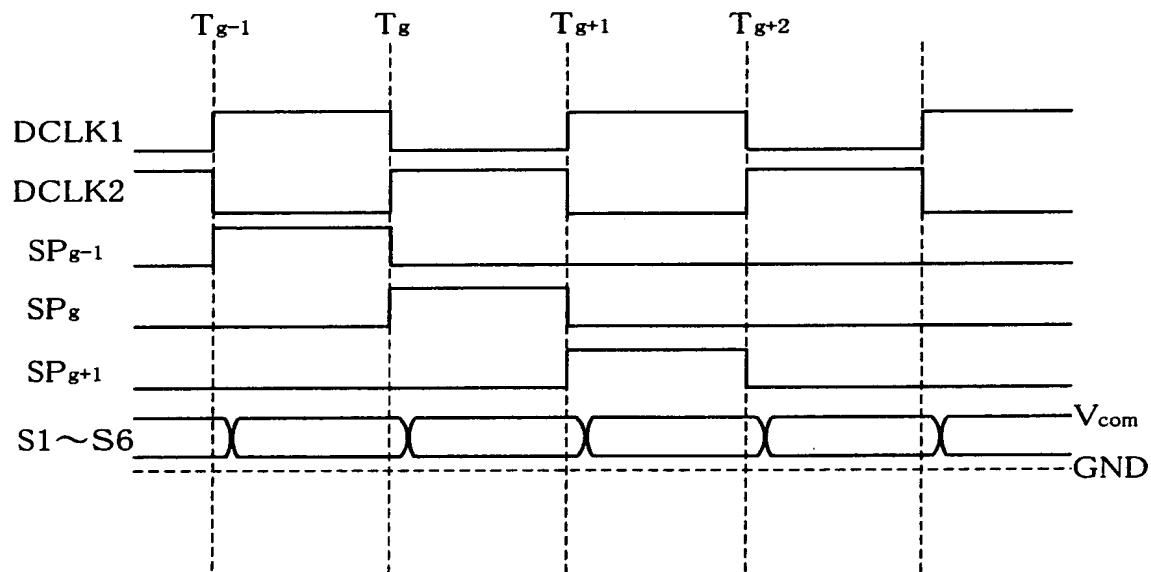
〔図17〕



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 フレーム反転駆動で生ずるクロストローク等の低減を達成する。

【解決手段】 画素信号線 S 1 乃至 S 1 2 を経て 1 2 個の画素信号のうちの 6 個の画素信号を 1 つのブロックとしてデータドライバ 1 4 の対応するスイッチアレイ  $3 \times 4_k$  (6 個のスイッチを有する) に供給する。いずれの画素信号も、画素信号の極性と逆極性の画素信号と同極性の画素信号とから成る。データドライバの走査回路 3 2 は、前後するブロック間で時間的に重なり合っているオン／オフ制御信号をスイッチアレイ  $3 \times 4_k$  に供給する。スイッチアレイ  $3 \times 4_k$  は、順次オンされ、ブロックの画素信号の各々を対応するデータ線の各々に印加し、スイッチアレイ  $3 \times 4_k$  のオフ時にサンプリングしてデータ線の浮遊容量に保持させる。

【選択図】 図 1

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社